

애플리케이션 노트

AN1701

Revision:	KOR01
발행일:	2023-11-17
작성자:	Niklas Hofstötter, Grady
결재자:	Joachim Lamp, Kendrick

키워드: SEMIX, SKYPER, 프레스 핏, 병렬, 전류 공유, 중앙 드라이버, 개별 드라이버, 지터, 공통 에미터, 지연 시간

병렬구동 IGBT 모듈의 중앙 및 개별 드라이버 보드

1. 일반	2
2. 용어 정의	2
3. 비대칭 전류 분포에 영향을 미치는 필수 요소	2
4. 실험 설정	3
5. 측정 방법	4
5.1 이중 펄스 시험	4
5.2 인버터 작동	4
5.3 시험 조건	5
6. 임피던스가 전류 분포에 미치는 영향	5
6.1.1 정전류 분포	5
6.1.2 기생 인덕턴스	7
6.1.3 부하 인덕턴스	7
6.1.4 유도식 커플링	8
6.2 동적 전류 분포	10
6.3 반도체의 공통 전도 단계에서 전류 공유 대칭 효과	12
6.4 인버터 작동 시 전류 분포	14
7. 전력 분배에 대한 드라이버 개념의 영향	15
7.1 동적 전류 분포에 대한 개별 드라이버의 영향	16
7.1.1 신호 전파 시간의 차이	16
7.1.2 지터	16
7.1.3 게이트-에미터 전압의 차이	17
7.2 동적 전류 분포에 대한 중앙 드라이버의 영향	19
7.2.1 게이트 저항	19
7.2.2 에미터 저항	19
7.2.3 에미터 피드백	20
7.3 추가 게이트 드라이브 구성요소	21
7.3.1 요약	23

1. 일반

단일 구성 요소의 성능 기준이 충분하지 않은 경우에는 항상 병렬 회로가 필요합니다. 이는 수십만 개의 개별 IGBT 셀로 시작하는 미세 칩 수준에서 시작되며, 칩의 병렬 연결을 통해 모듈에서 더욱 진행되고, 모듈 및 전체 인버터 장치의 병렬 연결을 통해 회로 수준에서 계속됩니다. [2]

병렬 연결로 인해 발생하는 스위치 장치의 최대 활용률은 전류의 이상적인 정적(즉, 전도 기간 동안) 및 동적(즉, 스위칭 기간 동안) 대칭에서만 가능합니다. [2]

이 애플리케이션에서는 비대칭 전류 분포에 따른 원인에 대한 개요를 제공합니다. 또한 IGBT 전력 모듈의 효과적인 병렬 연결에 대한 설명도 지원합니다. 사용되는 드라이버(개별 또는 중앙 운전자) 개념 및 시스템에 포함된 임피던스의 영향에 초점을 맞춥니다.

자세한 내용은 SEMİKRON® "Application Manual Power Semiconductors"[2]를 참조하십시오.

2. 용어 정의

정적 전류 분포(Static current distribution)

이 애플리케이션 노트에서 정적 전류 분포는 병렬 반도체 또는 모듈의 공통 전도 단계의 전류 분포입니다.

동적 전류 분포(Dynamic current distribution)

이 애플리케이션 노트에서 동적 전류 분포는 병렬 반도체 또는 모듈의 스위칭 동작 중에 발생하는 전류 분포입니다.

3. 비대칭 전류 분포에 영향을 미치는 필수 요소

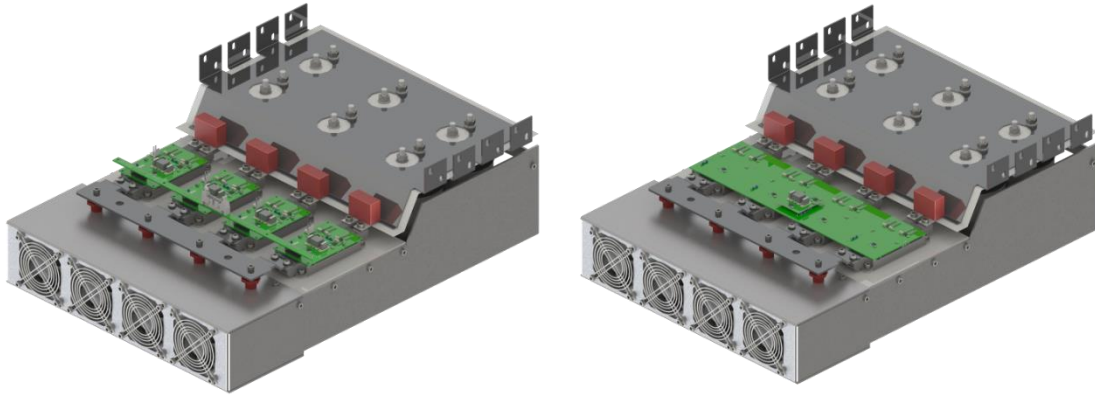
표 1: 비대칭 전류 분포에 영향을 미치는 필수 요소

		Static current distribution	Dynamic current distribution
Semiconductor	Saturation voltage $V_{CEsat} = f(i_C, V_{GE}, T_j)$ $V_F = f(i_F, T_j)$	x	
	Transfer characteristics $I_C = f(V_{GE}, T_j)g_{fs}$ $V_{GE(th)}$		x
	Internal gate resistors $i_C = f(V_{GE}(t))$		x
Module	Stray inductance of the commutation circuit L_{σ}		x
Driver	Jitter		x
	Cycle time		x
	Gate voltage (supply) $i_C = f(V_{GE}(t))$	x	x
Driver circuit	Stray inductance Gate $L_{\sigma G}$ $i_C = f(V_{GE}(t))$		x
	Stray inductance Emitter $L_{\sigma E}$ $i_C = f(V_{GE}(t))$		x
	Gate resistors $i_C = f(V_{GE}(t))$		x
	Emitter coupling, with shared emitter path		x
Design	Load circuit impedance	x	
	Cooling conditions $I_C = f(V_{GE}, T_j)g_{fs}$	x	

4. 실험 설정

전류 분포 조사는 병렬 연결된 4 개의 SEMIX ® 603GB12E4p 모듈로 구성된 위상 모듈을 이용하여 실시하였습니다. 그림 1 은 왼쪽에서 개별 드라이버 개념과 오른쪽에서 중앙 드라이버에 대한 개념을 보여줍니다.

그림 1: 개별 드라이버(왼쪽)와 중앙 드라이버(오른쪽)가 있는 위상 모듈



개별 드라이버 개념은 SEMIX ® 프레스 핏 모듈용으로 특별히 개발된 SKYPER12 프레스 핏 드라이버를 기반으로 합니다. 4개의 각 드라이버에는 관련 출력 스테이지가 있는 1, 2차측이 있습니다. 모든 출력 스테이지는 4개의 병렬 SEMIX ® 603GB12E4p 모듈 중 하나를 제어합니다. 이 4개의 개별 드라이버는 어댑터 보드를 통해 1차측에 연결되어 있고 이 보드가 상위 제어 장치의 신호를 개별 드라이버로 연결합니다.

중앙 드라이버 컨셉의 핵심은 SKYPER ® 42 LJ R 로, 상위 제어 장치에 바로 연결됩니다. 이 어댑터 보드가 4 개의 SEMIX® 모듈에 대한 인터페이스 역할을 합니다. 이 보드에는 게이트 및 에미터 저항과 게이트 보호 회로가 있습니다. 각 모듈 스위치에는 SKYPER ® 42 LJ R 의 중앙 2 차 스테이지에 의해 제어되는 자체 게이트 회로가 있습니다

그림 2: 개별 드라이버(왼쪽)와 중앙 드라이버(오른쪽)가 있는 모듈

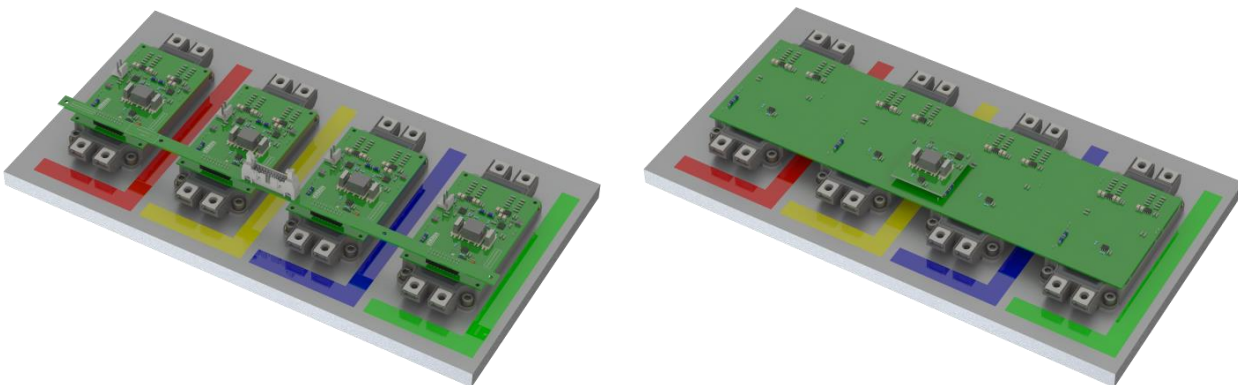


그림 2 에 색깔로 표시된 모듈의 위치가 방향을 알려주는 역할을 합니다. 색상으로 표시된 모듈의 위치는 이 애플리케이션 노트에 있는 다이어그램 색상에 해당합니다.

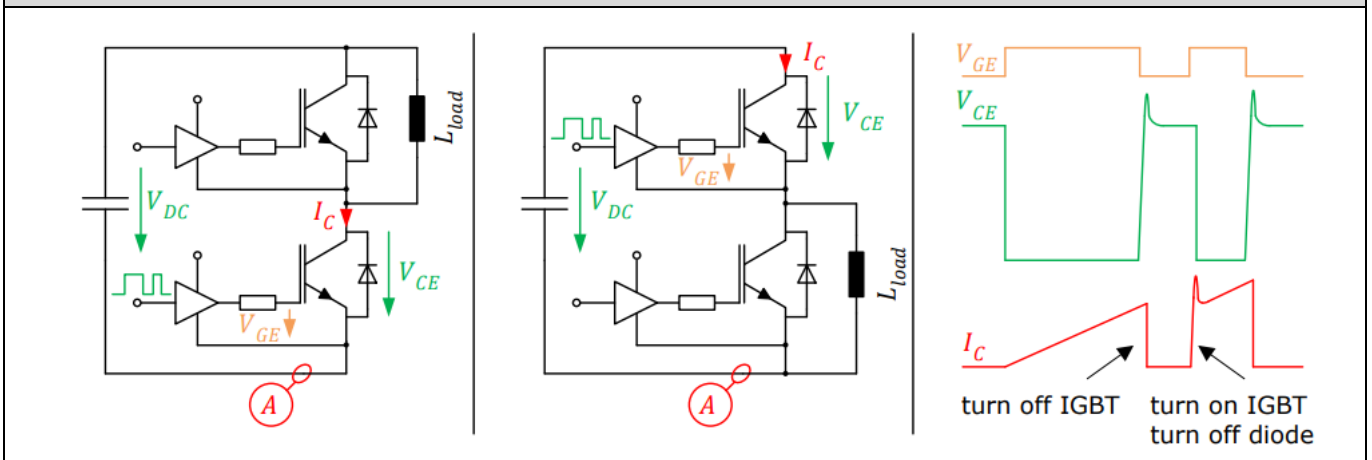
5. 측정 방법

전류 분포에 여러 요인들이 미치는 영향에 대해서는 두 가지 다른 측정 방법을 통해 파악하였습니다. 하나는 반도체의 스위칭 동작을 특성화하는 데 매우 적합한 이중 펄스 방식이고 다른 하나는 인버터 작동인데 애플리케이션과 밀접하게 관련된 반도체 또는 모듈의 부하를 매핑합니다.

5.1 이중 펄스 시험

그림 3은 BOT IGBT (왼쪽)와 TOP IGBT (중간)의 더블 펄스 테스트의 기본 설정을 보여줍니다. 이 측정 동안 해당 IGBT는 두 번 켜지고 꺼집니다. 첫 번째 펄스가 끝날 때 턴오프 동작의 특성을 확인할 수 있으며 두 번째 펄스의 시작 부분에서 IGBT의 턴온 동작을 특성을 확인할 수 있습니다.

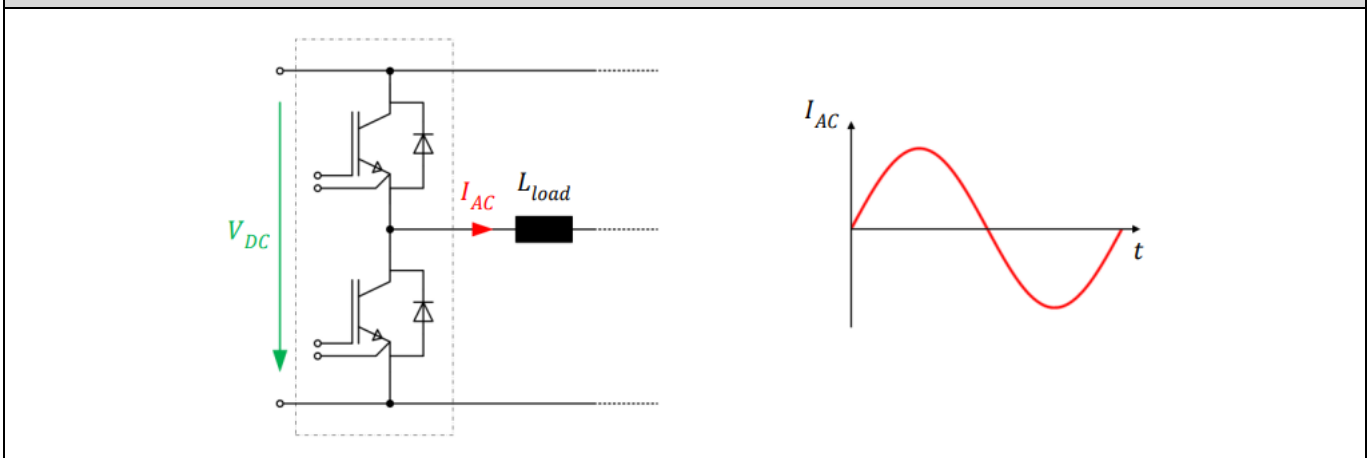
그림 3: 이중 펄스 시험의 블록 다이어그램



5.2 인버터 작동

인버터 작동은 단일 위상, H-브리지 구성으로 유도성 부하를 연결하여 수행되었습니다. 더블 펄스 방식과 달리 인버터 모드에서는 반도체가 펄스 폭 변조 신호를 통해 지속적으로 제어됩니다. 전력 반도체의 온도 의존성은 인버터 작동 중 전류 분포에 대한 추가적인 영향 요인으로 간주되어야 합니다.

그림 4: 인버터 작동의 기능 다이어그램



5.3 시험 조건

표 2: 이중 펄스 시험 및 인버터 작동의 시험 조건			
문자 기호	이중 펄스 시험	인버터 작동	단위
T_j	125	---	[°C]
T_{sense}	---	80	[°C]
I_C, sum	2400	---	[A]
I_{AC}	---	1000	[A]
V_{CE}	600	---	[V]
V_{DC}	---	600	[V]
$V_{G(on)}$	15	15	[V]
$V_{G(off)}$	-8	-8	[V]
f_{sw}	---	3	[kHz]
L_{load}	30(15)	250	[μH]

6. 임피던스가 전류 분포에 미치는 영향

시스템에 포함된 임피던스와 시스템의 기계적 설계는 병렬로 연결된 모듈 간의 전류 분포에 상당한 영향을 미칩니다. 이러한 이유는 설계의 비대칭으로 인해 발생하는 개별 전류 경로의 임피던스 값의 차이 때문입니다. 또한, 개별 구성 요소의 공간 위치와 그 결과로 발생하는 유도성 커플링이 전류 분포에 영향을 미칩니다.

스마트한 설계로 영향 요인의 영향을 크게 줄일 수 있습니다. 시스템의 구조가 더 대칭일수록 전류 분포도 더 대칭성을 갖습니다.

이 장에서는 드라이버 개념과 별도로 시스템 설계의 영향을 고려합니다. 기계적 설계가 두 드라이버 개념 중 하나와 관련하더라도 미치는 영향은 7장에서 설명됩니다. 아래에 표시된 측정 결과는 개별 드라이버 설정을 사용하여 결정되지만 두 드라이버 개념 모두에 유효합니다. 이론적인 고려를 위해서는 항상 동일한 특성을 가진 반도체 또는 모듈만 병렬로 연결된다고 가정합니다.

6.1 정적 전류 분포

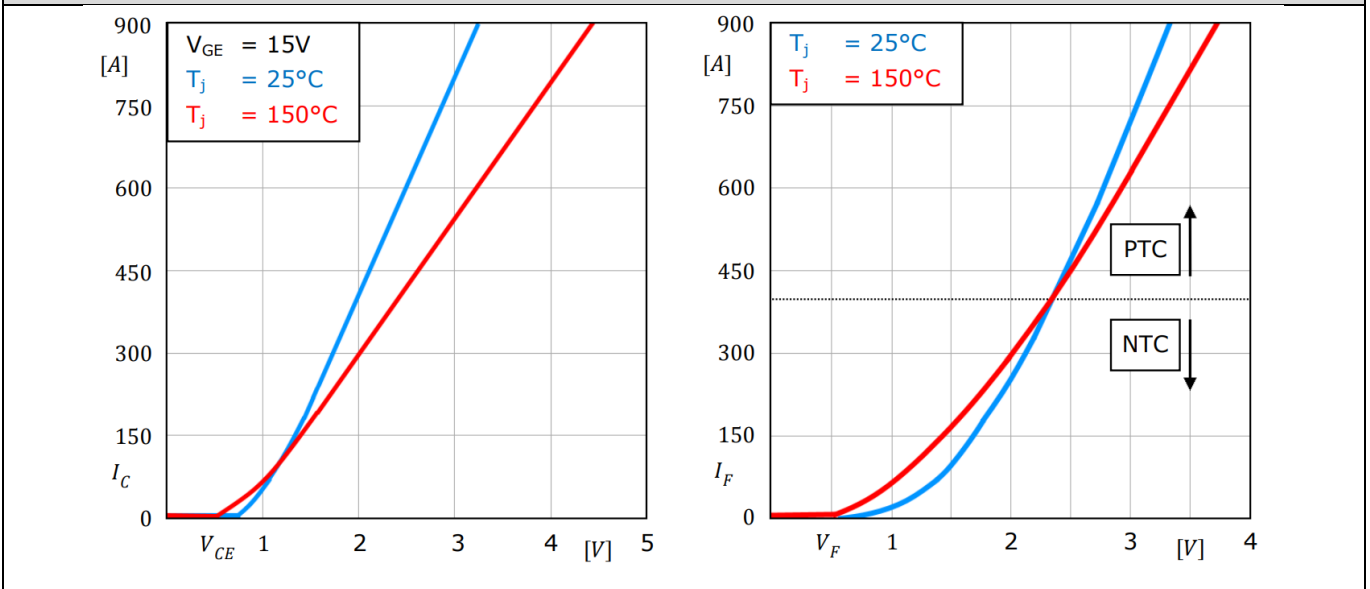
이 애플리케이션에서는 부하 회로의 기생 인덕턴스가 전류 분포에 미치는 영향을 살펴보고자 합니다. 그러나 전체적으로 순방향 전압 차이로 인한 영향도 언급해야 합니다.

최신 IGBT는 양의 온도 계수(PTC)를 갖습니다. 즉, 포화 전압은 동일한 전류에서 온도에 따라 증가합니다. 이 경우 정대칭 효과를 나타냅니다. 낮은 순방향 전압으로 인해 더 많은 전류를 사용하므로 IGBT가 가열되고 포화 전압이 증가하며 전류가 병렬 IGBT로 전달됩니다.

대부분의 다이오드는 정적 전류 범위에서 음의 온도계수(NTC)를 갖는 것으로 간주됩니다. 이러한 동작은 PTC의 특성보다 높은 전류 비대칭성을 초래합니다. 병렬 회로의 순방향 전압 V_F 에 따라 다이오드를 선택하는 것이 합리적일 수 있습니다.

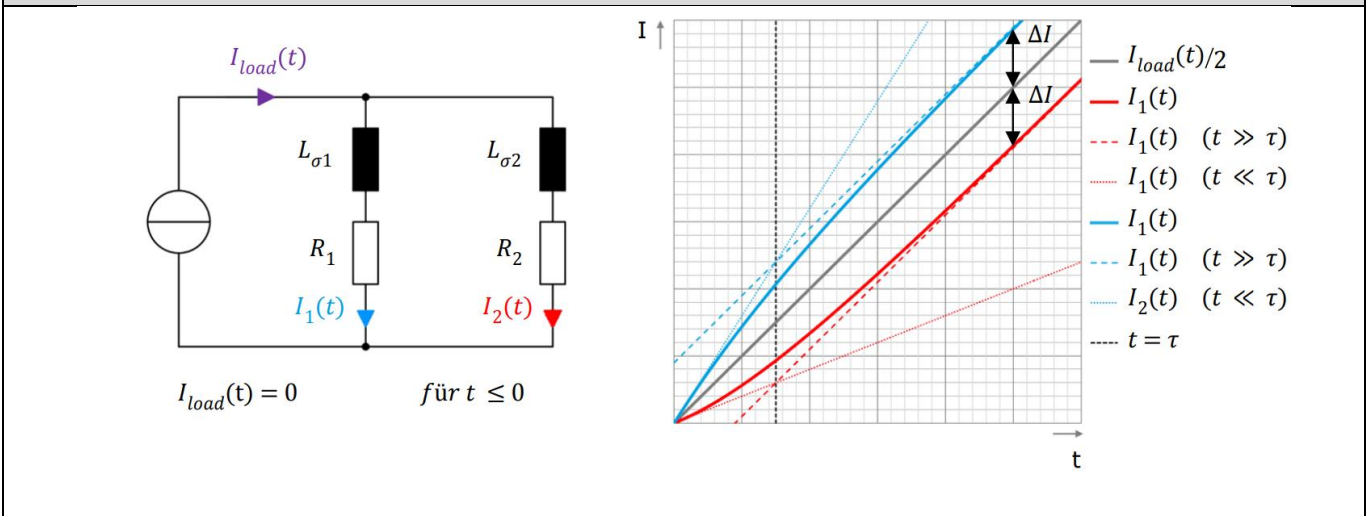
동일한 생산 로트 내의 칩은 유사한 실리콘에서 동일한 제조 조건 하에서 제조되었으므로 정적 및 동적 차이가 최소화됩니다. 따라서 병렬 연결을 위해 유사한 날짜 코드의 모듈을 선택하는 것이 좋습니다.

그림 5: IGBT VCEsat 특성(450A 공칭 전류, 왼쪽)
다이오드 Vf 특성(450A 공칭전류, 오른쪽)



기생 인덕턴스의 영향은 그림 6의 간이 등가 회로를 통해 수학적으로 설명됩니다. 여기에서 2개의 병렬 전류 경로와 1개의 전류 소스로 구성되며, 여기에 전류 $I_{load}(t)$ 가 흐릅니다. $L_{\sigma 1}$ 및 $L_{\sigma 2}$ 는 전류 경로의 전체 기생 인덕턴스의 합을 나타내며, R_1 및 R_2 는 전체 옴 저항의 합을 나타냅니다.

그림 6: 2 개의 병렬 전류 경로의 등가 회로도



아래 정리된 용어를 사용하여 전류 분포를 설명하기 위해서는 세 가지 가정이 필요합니다.

- (1) 상승 전류 dI_{load}/dt 는 IGBT의 공통 컨덕턴스 단계에서 일정하며 전류 소스 V_1 의 동작에 의해 결정됩니다.
- (2) 전류 분포에 대한 옴 저항의 영향은 무시할 수 있는 수준인 $R_1 = R_2 = R$ 입니다 .
- (3) 부하 전류 $I_{load}(t)$ 는 시간 $t \leq 0$ 에 대해 0입니다[3].

$$I_1(t) = \frac{I_{load}(t)}{2} + \Delta I \cdot (1 - e^{-t/\tau}) \quad I_2(t) = \frac{I_{load}(t)}{2} + \Delta I \cdot (1 - e^{-t/\tau}) \quad \text{with: } \Delta I = \frac{L_{\sigma 1} - L_{\sigma 2}}{4R} \cdot \frac{dI_{load}}{dt}$$

$$I_1(t) \approx \frac{L_{\sigma 2}}{L_{\sigma 1} + L_{\sigma 2}} \cdot I_{load}(t) \quad I_2(t) \approx \frac{L_{\sigma 1}}{L_{\sigma 1} + L_{\sigma 2}} \cdot I_{load}(t) \quad \tau = \frac{L_{\sigma 1} + L_{\sigma 2}}{2R}$$

$$I_1(t) \approx \frac{I_{load}(t)}{2} - \Delta I \quad I_2(t) \approx \frac{I_{load}(t)}{2} + \Delta I \quad \text{for: } t \ll \tau$$

$$\text{for: } t \gg \tau$$

이 공식에 따르면 분기 인덕턴스의 전류 분배가 시간 $t \ll \tau$ 에 대한 전류 비대칭성을 결정합니다. 시간이 증가함에 따라 $t \gg \tau$, ΔI 의 거리에서 2 개의 분기 전류가 부하 전류 절반에 병렬로 연장됩니다. $I_{load}(t)/2$, ΔI 의 크기는 분기 인덕턴스의 차이 $L_{\sigma 1} \sim L_{\sigma 2}$ 에 따라 달라지는데 $L_{\sigma 1} \sim L_{\sigma 2}$ 는 음 분기 저항과 전류 상승 시간 dI_{load}/dt 의 합입니다. 실제 애플리케이션에서 전류 상승 시간은 결정적으로 DC-버스 전압 레벨과 부하 인덕턴스의 크기에 따라 결정됩니다.

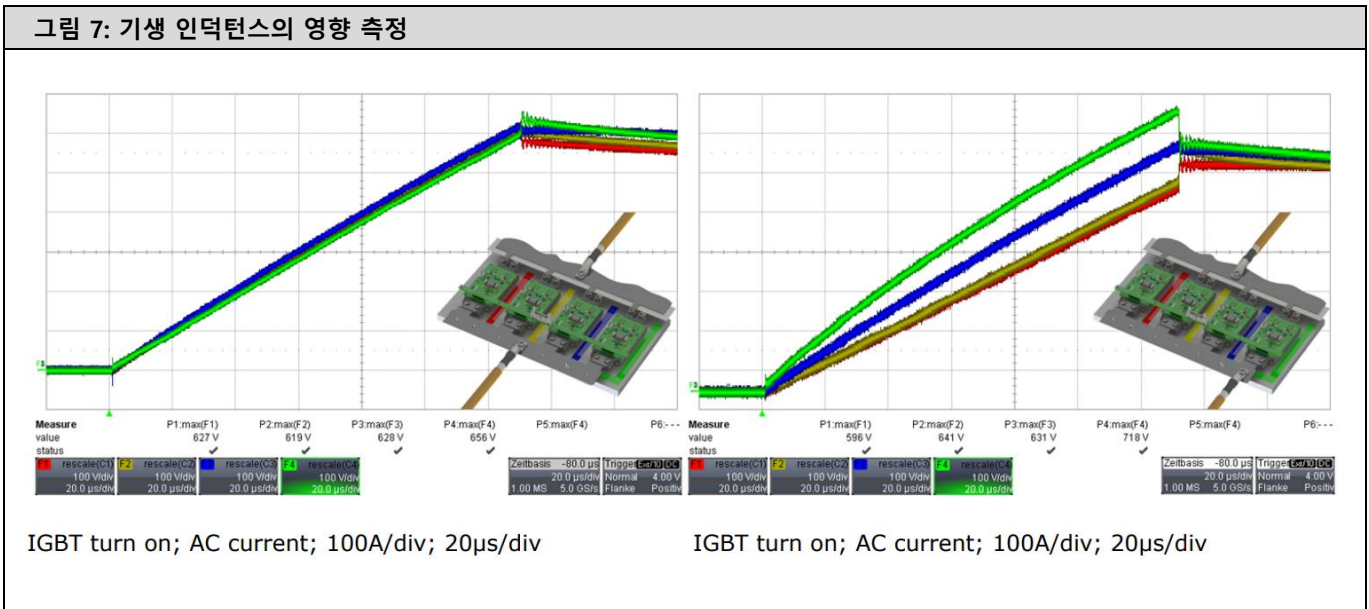
6.1.1 기생 인덕턴스

그림 7 의 다이어그램은 기생 인덕턴스가 정적 전류 분포에 미치는 영향을 나타낸 것입니다. AC 버스바의 부하 케이블 커넥터 위치를 제외하고 두 가지 측정을 모두 동일한 조건에서 실시하였습니다.

왼쪽 다이어그램은 중심에서 AC 버스바에 연결된 부하에 대한 모듈 4 개의 전류 분포를 보여 줍니다. 오른쪽 다이어그램은 중심에서 벗어나서 AC 버스바에 연결된 부하에 대한 전류 분포를 나타냅니다.

부하 연결의 변화는 기생 인덕턴스의 절대 크기 및 상호 관계를 바꿉니다. 공통 부하 연결부에서 가장 멀리 떨어진 전류 경로의 인덕턴스가 가장 크며, 공통 부하 연결부에 가장 가까운 전류 경로의 인덕턴스가 가장 낮습니다. 이 때, 결과적으로 나타나는 비대칭 유도성 전류 분배기로 인해 우측 모듈을 통과하는 전류가 공칭 전류 $I_{c,sum}/4$ 를 기준으로 약 20% 증가합니다.

그림 7: 기생 인덕턴스의 영향 측정



6.1.2 부하 인덕턴스

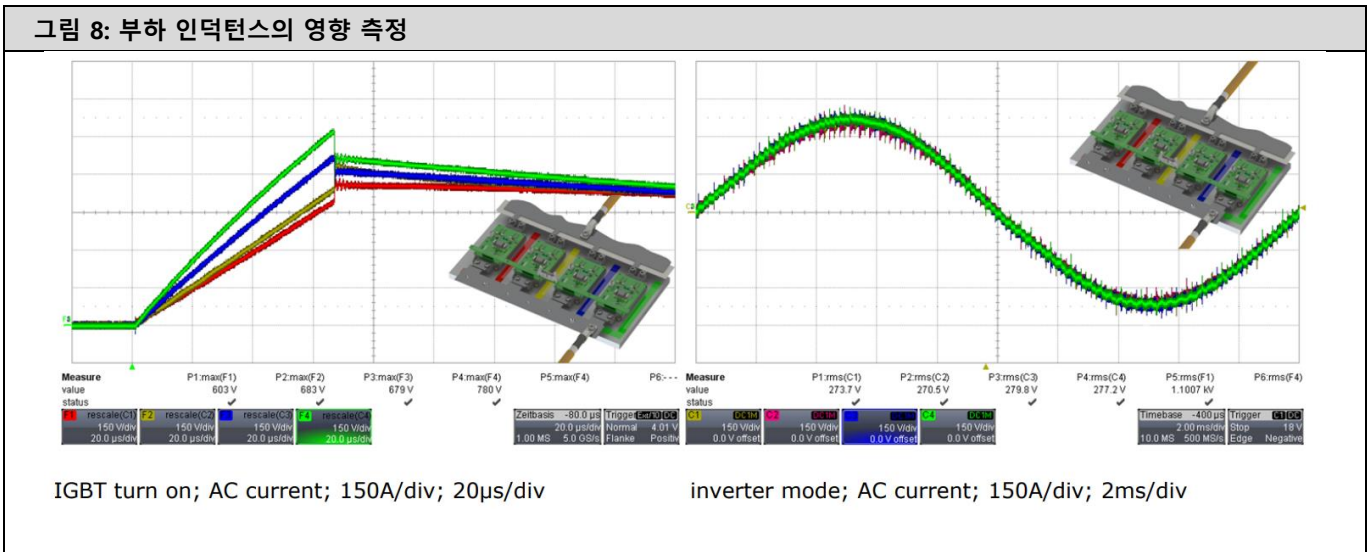
기생 인덕턴스 외에 부하 인덕턴스의 크기도 역시 전류 분포의 대칭에 영향을 줍니다. 그 이유는 부하 인덕턴스 $dI_{load}/dt = v_{DC}/L_{load}$ 에 대해 부하 전류의 기울기가 달라지기 때문입니다. 중심을 벗어난 부하 연결의 경우, 부하의 인덕턴스가 작을수록 부하 전류가 더 급격히 나타나고 전류 분포의 비대칭성이 커집니다.

이중 펄스 시험 결과를 평가할 때 이 점을 고려해야 합니다. 이 작업은 종종 실제 애플리케이션에 사용되는 것보다 더 작은 부하 인덕턴스를 사용하여 수행됩니다. 적절한 애플리케이션 조건 하의 인버터 시험이 정상 작동 시 전류 분포에 대한 더 나은 기초가 됩니다. 또한 인버터 작동 중 연속 부하로 인해 반도체가 가열됩니다. 선택한 작동 지점 및 외부 냉각 조건에 따라 반도체의 정선 온도가 다르게 나타나고, 결국 전류 분포에 영향을 미칩니다.

그림 8 에서 왼쪽 오실로스코프 파형은 6.1.1의 측정과 비교할 때, 인덕턴스를 절반으로 줄인 이중 펄스 시험의 전류 분포를 보여 줍니다. (오른쪽 파형) 6.1.1 의 측정에서와 같이 여기에서 부하는 중심을 벗어나 연결되어 비대칭적 전류 분포를 보여줍니다. 낮은 부하 인덕턴스로 인해 오른쪽 모듈을 통한 전류 증가는 약 20%(6.1.1의 측정)에서 약 30%까지 증가합니다. 그러나 부하 연결의 중심에서 벗어난 동일한 위치에서 수행된 컨버터 작동 결과를 고려할 때 공칭 전류 $I_{AC}/4$ 에 비해 불과 약 2% rms의 비대칭 전류 분포가 발생합니다.

IGBT 컬렉터-에미터 전압(VCE)의 양의 온도계수와 높은 부하 인덕턴스로 인해 인버터 모드의 전류 분포가 낮은 부하 인덕턴스를 사용하는 이중 펄스 검사보다 훨씬 좋습니다.

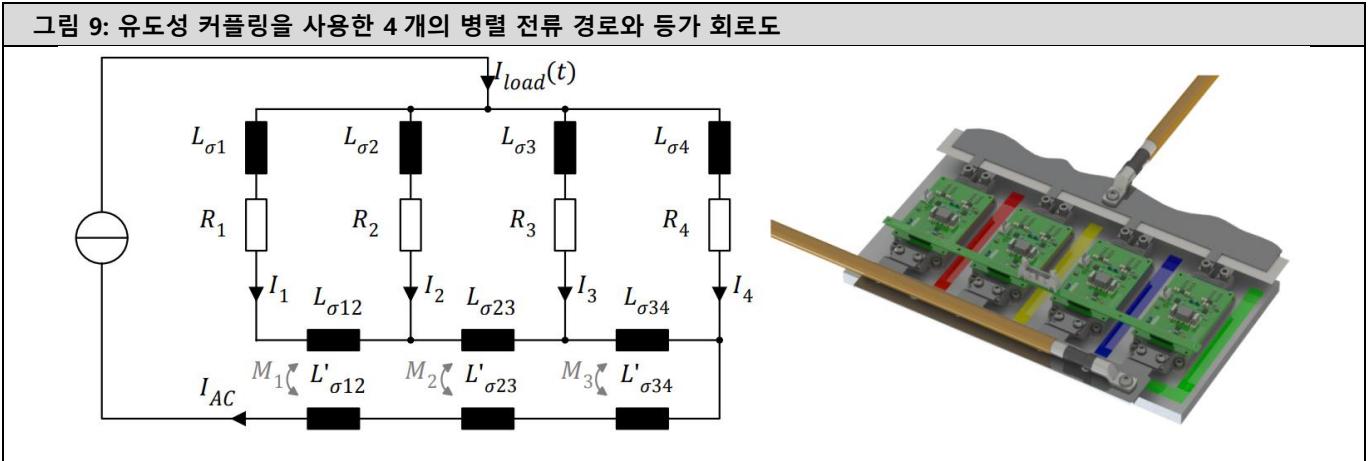
그림 8: 부하 인덕턴스의 영향 측정



6.1.3 유도성 커플링

대칭 설계만큼 중요한 것은 시스템의 전류 전도 구성 요소의 배열입니다. 그림 9는 부하 케이블이 AC 버스바의 오른쪽에 연결된 것을 예시한 것입니다. 앞의 측정과는 달리 부하 케이블을 AC-버스바에서 90°의 각도로 연결하지 않고 AC-버스바의 인접 위치에서 병렬로 연결하여 왼쪽으로 향하게 합니다.

그림 9: 유도성 커플링을 사용한 4 개의 병렬 전류 경로와 등가 회로도



등가 회로에 묘사된 모든 인덕턴스의 값이 동일하고 부하 케이블과 AC 버스바 사이에 유도성 커플링이 없다고 가정할 때, 임피던스가 가장 작은 전류 경로가 오른쪽에 있고, 임피던스가 가장 큰 전류 경로는 왼쪽에 위치합니다. 따라서 전류 분포는 그림 7의 오른쪽 자취에 해당해야 합니다. 부하 케이블과 AC 버스바 사이의 유도성 커플링 M_1 , M_2 및 M_3 에 따라 발생하는 실제 전류 분포는 그림 10과 같습니다.

그림 10: 유도성 커플링의 영향

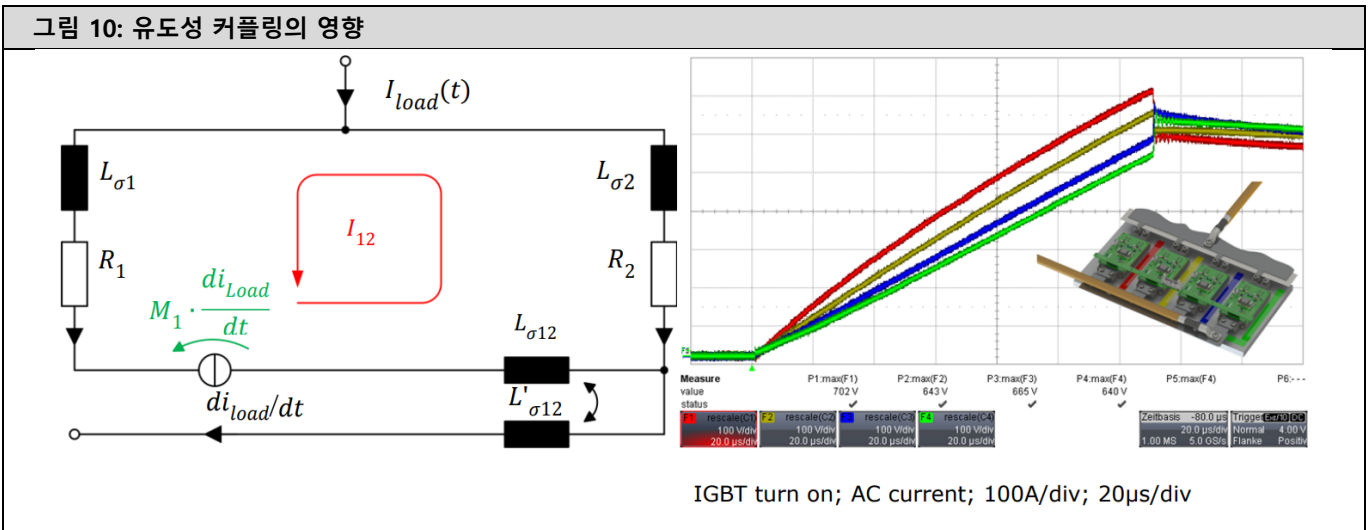


그림 10의 왼쪽에 있는 등가 회로도를 통해 이러한 효과를 확인할 수 있습니다. AC 버스바 $L_{\sigma 12}$ 와 부하 케이블의 기생 인덕턴스 간 커플링이 있는 2개의 병렬 전류 경로 $L'_{\sigma 12}$ 를 보여 줍니다. 두 인덕턴스 사이의 커플링은 다음과 같이 표시됩니다. 단자 전압이 $M_1 \cdot di_{Load}/dt$ 인 전압 소스 시간에 따라 변하는 전류가 $L'_{\sigma 12}$ 를 통해 흐르는 경우, AC 버스바를 따라 전압이 유도되는데 이는 유도성 커플링으로 인한 것입니다.

이 전압으로 인한 순환전류 $L'_{\sigma 12}$ 는 네트워크를 통해 반시계 방향으로 흐르며 이때 네트워크는 $L_{\sigma 1}$, R_1 , $L_{\sigma 12}$, R_2 및 $L_{\sigma 2}$ 로 구성됩니다. 부하 전류로 순환 전류가 중첩되면 그림 10과 같은 전류 분포가 나타납니다.

이러한 효과는 유도성 커플링 계수에 비례합니다. 이는 또한 전류가 흐르는 도체 사이의 거리와 이들 도체들의 상대적 위치에 따라 달라집니다. AC 버스바와 부하 케이블 사이의 거리가 증가하면 자기장 라인이 그 거리에 따라 약해지면서 커플링 계수가 감소합니다. 부하 케이블을 AC 버스바에서 수직으로 이동하면 자기장 라인이 AC 버스바와 병렬로 연장되므로 이러한 효과를 완전히 없앨 수 있습니다.

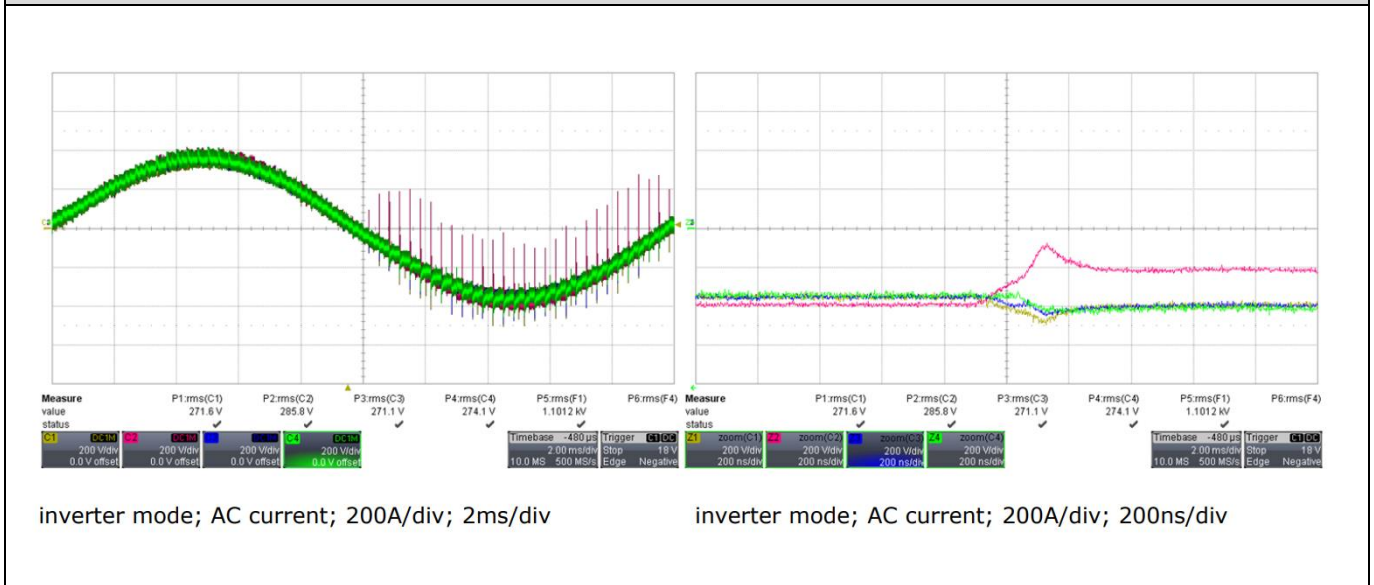
6.2 동적 전류 분포

동적 전류 분포는 주로 병렬로 작동하는 모듈의 다양한 스위칭 시간에 의해 결정되며, 따라서 드라이버, 게이트 회로 및 반도체 구성 요소의 특성에 의해 결정됩니다. 기계적 설계는 모듈에서 정류 시퀀스가 발생하는 경우에만 동적 전류 분포에 직접적인 영향을 미칩니다. 모듈 간 정류 프로세스의 경우, 적용되는 지침이 있습니다. 즉, "시스템의 기계적 설계가 대칭적일수록 전류 공유의 대칭성이 증가합니다."

이 애플리케이션 노트는 시스템의 기계적 설계가 비대칭 전류 분포의 원인이 아니라 비대칭의 정도에 영향을 미치는 모듈-내부 정류를 기반으로 합니다.

그림 11 왼쪽은 병렬로 작동되지만 정확히 동시에 작동하지는 않는 모듈의 전형적인 전류 프로파일을 보여줍니다. 이 효과를 강조하기 위해 모듈의 BOT 스위치(빨간색 곡선)를 100ns 지연하여 스위치 온 하였습니다. 시간 지연 스위칭은 음의 주기에서 모듈 간의 비대칭 동적 전류 분포를 유발하는 반면, 전류 분포는 양의 반파에서 대칭적입니다. 이 그림의 오른쪽은 출력 전류의 음의 반주기에서 병렬 BOT IGBT의 턴온 시퀀스를 나타낸 것입니다. 비전도 상태에서 전도 상태로 마지막으로 변경되는 IGBT는 공통 전도 단계가 시작될 때 상당히 적은 전류를 소비하는데 그것은 먼저 켜진 IGBT가 총 전류를 일부 사용하기 때문입니다.

그림 11: 동적 전류 분포에 대한 다양한 스위칭 시간의 영향 측정



동적 전류 비대칭에 대한 기계적 설계의 영향은 그림 12에 나와 있는 등가 회로도를 참조하십시오. 이 회로는 동일한 특성을 가진 병렬 연결 모듈 2개로 구성됩니다. L_1 과 L_2 는 인덕턴스의 합을, R_1 과 R_2 는 AC 분기에 위치한 저항의 합을 나타냅니다. 간단히 말해서 L_1 과 L_2 및 R_1 과 R_2 는 값이 동일하며, 여기서: $L_1 = L_2$, $R_1 = R_2$ 입니다. I_{load} 는 총 전류 $I_{AC}(t)$ 가 흐르는 공통 AC 출력의 유도 부하를 나타냅니다.

그림 12: 2 개의 병렬 모듈에 대한 등가 회로도

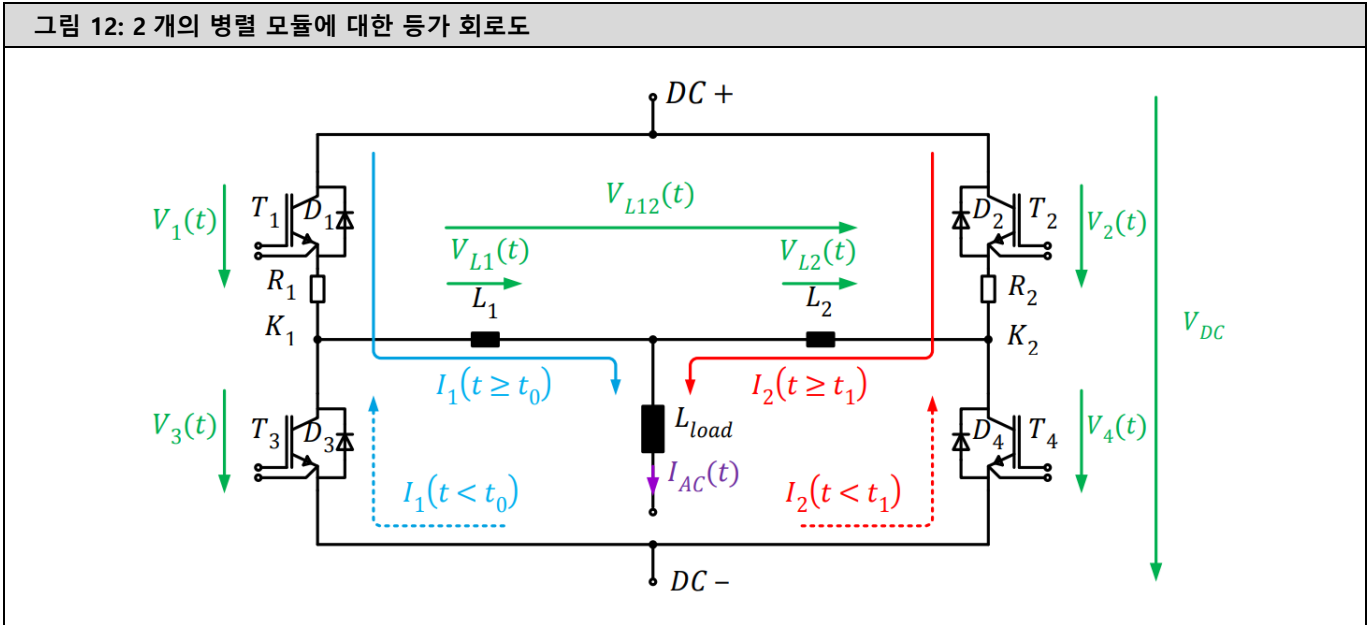
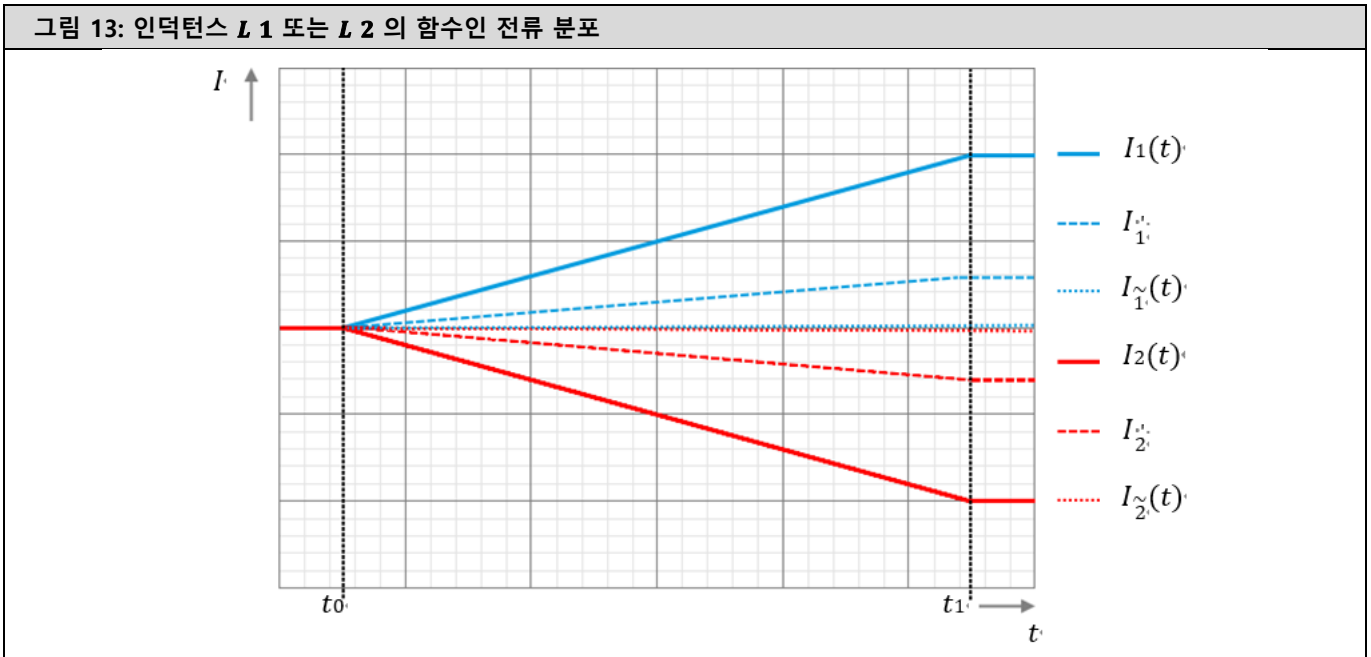


그림13의 다이어그램은 세가지 다른 인덕턴스 L_1 또는 L_2 에 대한 $I_1(t)$ 또는 $I_2(t)$ 의 계산된 전류 프로파일을 보여 줍니다. $I_1(t)$ 또는 $I_2(t)$ 의 계산에 대한 인덕턴스는 \sim 값에, $I_1(t)$ or $I_2(t)$ 의 계산에 대한 인덕턴스는 $3.3 \cdot L$ 값에, $I_1(t)$ 및 $I_2(t)$ 의 계산에 대한 인덕턴스는 $67 \cdot L$ 의 값에 해당합니다. 전류 프로파일은 IGBT T_1 또는 T_2 의 스위치 온 프로세스를 보여주며 이 때, IGBT T_1 이 먼저 켜집니다. 이 계산은 IGBT T_1 또는 T_2 의 스위치 오프 프로세스에도 역시 유효하지만 ΔI 의 역기호가 사용됩니다.

그림 13: 인덕턴스 L_1 또는 L_2 의 함수인 전류 분포



시간 t_0 까지 다이오드 D_3 및 D_4 에 균일하게 분포하는 전류 $I_{AC}(t)$ 를 기준으로 합니다.

$$I_1(t) = I_2(t) = \frac{I_{AC}(t)}{2} \quad \text{for } t < t_0$$

시간 t_0 에서 IGBT T_1 턴 온 되면, 다이오드 D_3 가 차단 전압을 받아 노드 K_1 에서 $V_{DC} - V_1(t)$ 값까지 전압을 상승시킵니다. IGBT T_2 가 시간 t_1 에서 턴 온 될 때까지, 다이오드 D_4 는 노드 K_2 에서 전압을 $V_{DC} - V_4(t)$ 로 유지합니다. 따라서 전압 $V_{L12}(t)$ 이 인덕턴스 L_1 과 L_2 에서 발생합니다.

$$V_{L12}(t) = V_{L1}(t) + V_{L2}(t) = V_{DC} - (V_1(t) + V_4(t)) \quad \text{for: } t_0 \leq t < t_1$$

전압 $V_{L12}(t)$ 은 다음 식에 따른 전류의 변화를 유발합니다. $I_1(t)$ 및 $I_2(t)$ 는 다음과 같이 계산할 수 있습니다.

$$I_{1,2}(t_1) = \frac{I_{AC}(t_0)}{2} \pm \frac{U_{L12}(t)}{L_1 + L_2} \cdot (t_1 - t_0) \quad \text{for: } t_0 \leq t < t_1$$

이 용어는 가령 모듈의 AC 단자에서 더 긴 부하 케이블을 사용하여 추가 인덕턴스를 인입함으로써 상승 시간 di_1/dt bzw. di_2/dt 를 줄일 수 있음을 보여줍니다. 따라서 동일한 지연 시간과 동일한 전압 강하가 인덕턴스 L_1 와 L_2 에 발생하며, $I_1(t_1)$ 및 $I_2(t_1)$ 의 결과값의 차이는 작아집니다.

6.3 반도체의 공통 전도 단계에서의 전류 공유 대칭 효과

정류 단계에서 전류가 병렬 전류 경로들 사이에서 불균일하게 분포되는 경우 IGBT의 공통 전도 단계에서 전류가 전부 혹은 일부 재결합합니다.

전류 공유의 효과는 병렬로 작동하는 동일한 2개의 모듈을 예로 들어 아래에서 설명합니다. 그림 14 는 그림 12와 유사한 관련 간이 등가 회로도를 보여줍니다.

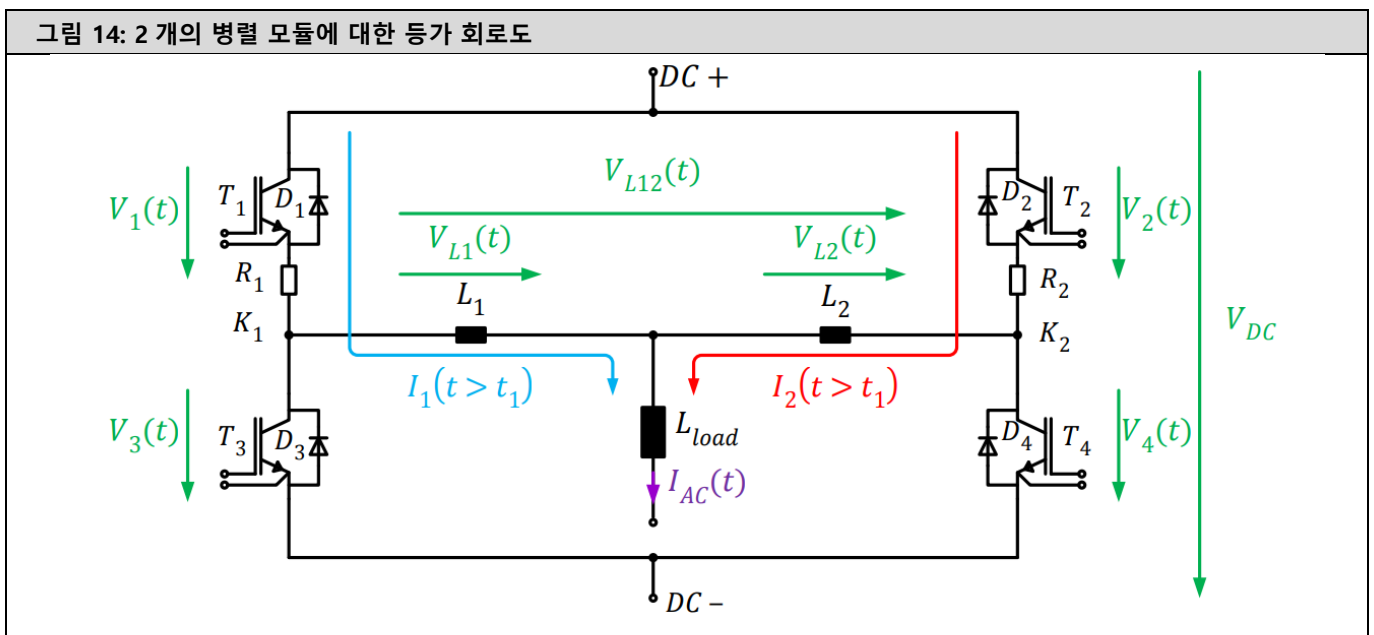
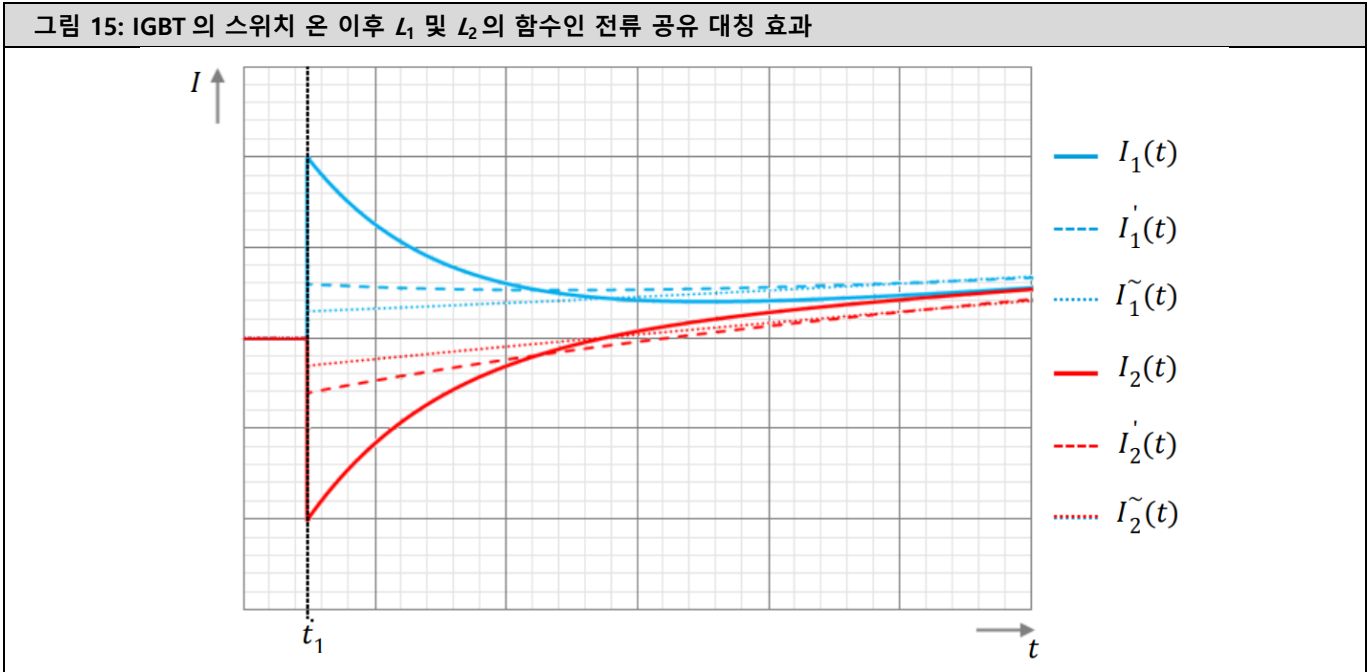


그림 15 의 도표는 아래의 전류 프로파일을 계산한 것입니다. 세가지 다른 인덕턴스 $L1$ 또는 $L2$ 에 대한 $I_1(t)$ or $I_2(t)$ 계산에 대한 인덕턴스는 L 값에, $I_1'(t)$ 또는 $I_2'(t)$ 의 계산에 대한 인덕턴스는 $3.3 \cdot L$ 값에, 그리고 $I_1''(t)$ 및 $I_2''(t)$ 의 계산에 대한 인덕턴스는 $67 \cdot L$ 값에 해당합니다. 저항값 R_1 bzw. R_2 은 세 가지 계산에서 모두 동일합니다.

그림 15: IGBT의 스위치 온 이후 L_1 및 L_2 의 합수인 전류 공유 대칭 효과



고려 시 기준이 되는 것은 IGBT T_1 가 먼저 턴온 되고 IGBT T_1 과 T_2 는 시간 t_1 에 턴온 되며, 6.2항에 설명된 상황에 따라 분배됩니다.

$$I_{1,2}(t_1) = \frac{I_{AC}(t_1)}{2} \pm \Delta I(t_1)$$

인덕턴스 L_1 와 L_2 는 전류 $I_1(t)$ 와 $I_2(t)$ 의 변곡점 시간 t_1 에서 무시할 수 있습니다.

노드 K_1 에서 전압은 $VDC - I_1(t_1) \cdot R_1$ 이 되고, 노드 K_2 에서 전압은 DC-전위에 비례하여 $VDC - I_2(t_1) \cdot R_2$ 가 됩니다. 이 노드들 간의 전압 $V_{L12}(t)$ 은 다음과 같이 계산할 수 있습니다.

$$V_{L12}(t_1) = -I_1(t_1) \cdot R_1 + I_2(t_1) \cdot R_2$$

전압 $V_{L12}(t)$ 은 인덕터 L_2 의 구동 전압을 높임과 동시에 인덕터 L_1 의 구동 전압을 감소시킵니다. 그 결과 두 전류가 $I_{AC}(t) / 2$ 값으로 수렴됩니다. 전류의 경로는 아래 용어들로 표현할 수 있습니다.

$$I_1(t) = \frac{I_{AC}(t_1)}{2} + \left[I_1(t_1) - \frac{I_{AC}(t)}{2} \right] \cdot e^{-\frac{R_1+R_2}{L_1+L_2}(t-t_1)} \quad \text{for: } t > t_1$$

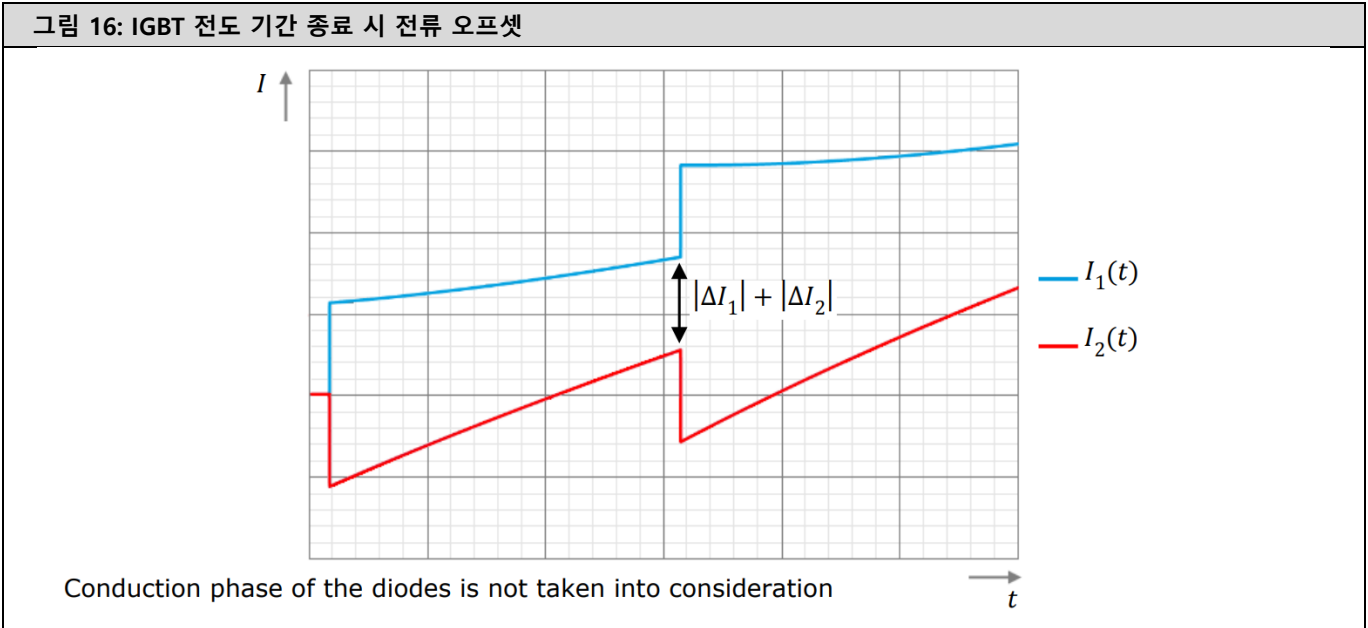
$$I_2(t) = \frac{I_{AC}(t_1)}{2} + \left[I_2(t_1) - \frac{I_{AC}(t)}{2} \right] \cdot e^{-\frac{R_1+R_2}{L_1+L_2}(t-t_1)} \quad \text{for: } t > t_1$$

식을 통해 전류 $I_1(t)$ 와 $I_2(t)$ 와 저항 R_1 와 R_2 의 합을 인덕턴스 L_1 와 L_2 의 합으로 수렴하는 속도가 아래의 비율로 결정됨을 알 수 있습니다.

$$\tau = \frac{L_1 + L_2}{R_1 + R_2}$$

인덕턴스 L_1 와 L_2 의 합이 증가하면, 시간 상수 τ 가 증가하고, 전류 $I_1(t)$ 와 $I_2(t)$ 의 수렴 속도가 감소합니다. 전류 $I_1(t)$ 와 $I_2(t)$ 가 $I_{AC}(t)/2$ 값에 접근하는 가용 시간은 반도체의 다음 스위칭 동작에 의해 제한되며, 따라서 클록 주파수 및 전류 $I_{AC}(t)$ 의 순간값에 의해 제한을 받습니다. 다음 스위칭 동작 $\Delta I_1(t_n + x)$ 또는 $\Delta I_2(t_n - x)$ 의 시점에 여전히 존재하는 오프셋을 6.2에 기술된 비대칭 전류 분포에 추가합니다.

그림 16: IGBT 전도 기간 종료 시 전류 오프셋

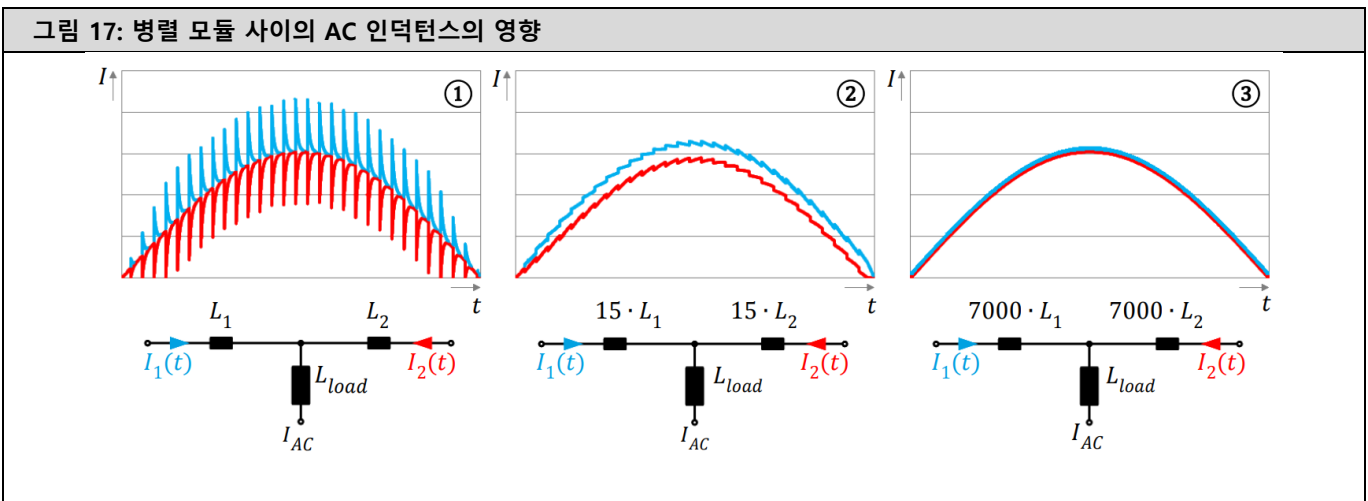


전류 공유의 효과는 전류의 수렴을 방해하는 6.1에 설명된 비대칭 정적 전류 분포의 효과에 의해 중첩됩니다.

6.4 인버터 작동에 따른 전류 분포

실제 애플리케이션에서는 반도체의 정류 단계와 공통 전도 단계의 전류 분포 상호작용을 고려해야 합니다. 그림17의 다이어그램은 대칭적으로 설계된 시스템에서 동일한 특성을 갖는 모듈 2개의 병렬 연결에 적용됩니다. 기계적 설계가 정적 전류 분포에 미치는 영향을 보여 주는 6.1항의 효과는 무시합니다. 모듈 출력 간의 다양한 인덕턴스 값을 토대로 6.2 (동적 전류 분포)와 6.3 (전류 공유 효과)의 효과에 따른 결과만을 고려합니다. 케이스 ①의 인덕턴스 값은 구리 버스바를 통해 모듈의 병렬 연결에 해당합니다. 케이스 ②의 값은 전력 케이블이 있는 모듈의 병렬 연결에 해당하고, 케이스 ③의 값은 초크를 통한 모듈의 병렬 연결에 해당합니다. 전류 비대칭의 원인으로, 모듈 1에 대한 드라이브 펄스의 시간 변위가 사용되어 약 150ns 전에 커집니다(파란색 자취).

그림 17: 병렬 모듈 사이의 AC 인덕턴스의 영향

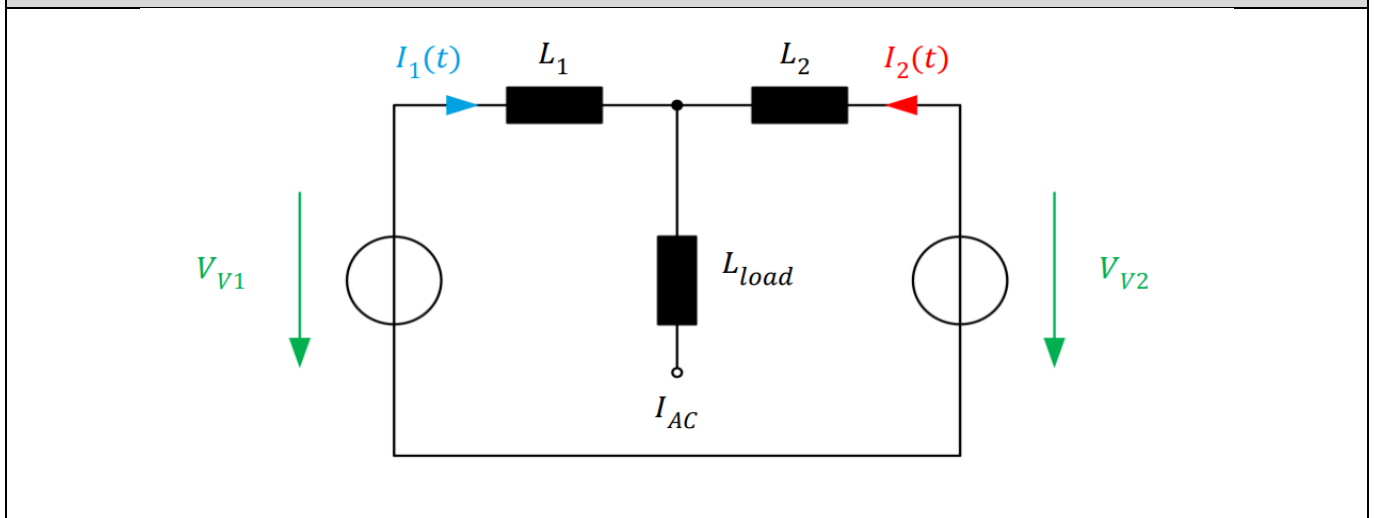


인덕턴스 L_1 과 L_2 는 전류의 슬루율을 제한합니다. $I_{AC1}(t)$ und $I_{AC2}(t)$ 모듈의 시간 이동 스위칭 시 인덕턴스 값의 합이 작을수록 정류 프로세스 종료 시 비대칭 전류 분포 결과값이 커지고 모듈에서 스위칭 손실의 불균일 분포가 증가합니다(케이스 ①).

전도 손실의 분포는 전류의 수렴 속도에 따라 다릅니다. 인덕턴스 L_1 과 L_2 의 합이 클수록 반도체의 공통 전도 단계 종료 시 부하 전류의 절반에 대한 전류 $I_{AC1}(t)$ 와 $I_{AC2}(t)$ 사이의 차이가 커집니다. 각각의 차이는 스위칭 동작의 합에 합산되어 모듈의 전도 및 스위칭 손실의 불균일 분포가 발생합니다(케이스 ②).

인덕턴스 L_1 과 L_2 의 값이 모듈의 시간 이동 스위칭 프로세스에서 전류 $I_1(t)$ 과 $I_2(t)$ 의 수렴이 최소화되는 수준까지 증가하는 경우, 거의 균일한 전류 분포가 나타날 수 있습니다(케이스 ③). 이 경우 각 개별 모듈을 전압 소스로 볼 수 있습니다. 그림 18은 대형 AC 인덕턴스에 대한 병렬 모듈 2개의 간이 등가 회로도를 나타낸 것입니다.

그림 18: 대형 AC 인덕턴스에 대한 병렬 모듈 2개의 간이 등가 회로도



출력 전압 V_{V1} 과 V_{V2} 의 차이는 스위칭 시간 차이 Δt , 스위칭 주파수 f_{sw} 및 DC-버스 전압 U_{DC} 에 따라 달라집니다. 이 차이는 다음 공식으로 계산할 수 있습니다.

$$V_{V1} - V_{V2} = \Delta t \cdot f_{sw} \cdot V_{DC}$$

발생하는 전압 차이 $V_{V1} - V_{V2}$ 로 인해 보상 전류 ΔI 가 인덕턴스 L_1 와 L_2 를 통해 구동됩니다. 보상 전류 ΔI 는 출력 전류 $I_1(t)$ 및 $I_2(t)$ 과 중첩됩니다. 이러한 출력 전류는 인덕턴스 L_1 과 L_2 에 의해 제한됩니다.

$$\Delta I = \frac{V_{V1} - V_{V2}}{2 \cdot \pi \cdot f_{out} \cdot (L_1 + L_2)}$$

이러한 고려사항의 경우 전류 분기에 대한 음 저항은 고려하지 않았습니다.

7. 전력 분배에 대한 드라이버 컨셉의 영향

시스템의 임피던스와 마찬가지로 드라이버의 특성도 전류 분포에 영향을 미칩니다. 기계적 설계가 주로 정적 전류 분포에 영향을 미치는 것과 대조적으로 드라이버의 특성은 주로 동적 전류 공유에 영향을 미칩니다. 이는 신호 전파 시간 및 게이트-에미터 전압의 차이와 지터의 영향 때문입니다. 또한 중앙 드라이버 유닛의 공통 에미터 경로가 전류 공유에 영향을 미치는 것이 다른 이유입니다.

아래 측정에서는 영향을 최소화하고자 실험 설정은 가능한 한 대칭으로 구성하였습니다. 이론적인 고려 사항에서는 병렬로 연결된 반도체 또는 모듈의 특성이 동일하다고 가정합니다.

7.1 동적 전류 분포에 대한 개별 드라이버의 영향

7.1.1 신호 전파 시간의 차이

신호 전파 시간은 해당 출력 신호의 유효한 상태 변화가 있을 때까지 전자 모듈의 입력에서 신호의 유효한 상태 변화 시간으로 정의됩니다. 신호가 통과해야 하는 장치가 많을수록 신호 전파 시간의 합계 간의 차이가 커질 가능성이 높습니다. 병렬 어셈블리의 출력 신호가 동시에 상태를 바꿀 가능성은 신호가 통과하는 장치 수에 따라 줄어 듭니다.

$$\Delta t_p = \sum_{i=1}^n (t_{p1,i} - t_{p2,i})$$

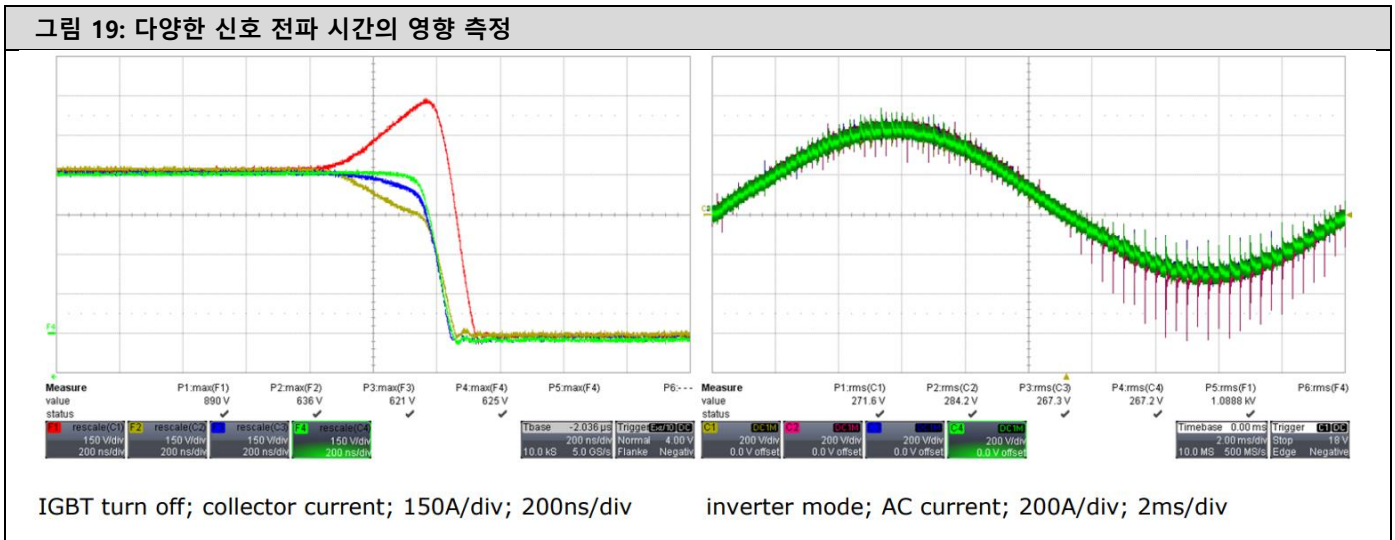
드라이버 컨셉과 관련하여, 이는 개별 드라이버의 병렬 연결에 비해 중앙 드라이버가 사용될 때 신호 전파 시간의 차이가 작을 가능성이 훨씬 높다는 의미가 됩니다.

그림 19의 왼쪽 그림은 병렬 SEMIX603GB12Ep 모듈에 대한 펄스 시험의 IGBT 전류 측정 결과를 보여줍니다. 각 모듈은 전용 SKYPER12 프레스 핏 드라이버로 컨트롤 하였습니다. 드라이버 1개는 관련 IGBT(빨간색 자취)가 약 100ns의 지연 시간으로 스위치 오프 되도록 준비하였습니다. IGBT의 긴 전도 단계로 인해 병렬 IGBT의 전류가 해당 프리휠 다이오드로 바로 정류되지 않고 일부는 여전히 전도 동작 중인 IGBT를 통해 흐릅니다. 이 시험 배치에서 약 48%의 전류 증가가 발생하며, 이는 공칭값 $I_{c,sum}/4$ 을 기준으로 한 것입니다. 전류의 분포는 IGBT의 정류 시퀀스 중 6.2항에 기술된 개념에 따라 발생합니다.

인버터 작동 결과는 그림 19의 오른쪽 다이어그램에서 확인할 수 있으며, 이 때 BOT IGBT(빨간색 자취) 중 하나가 약 100ns 전에 스위치 온 됩니다.

신호 전파 시간 허용오차로 인해 발생하는 병렬 SKYPER12 프레스 핏 드라이버 간의 실시간 오프셋은 100ns 보다 상당히 작습니다. 실제 지연 시간 하에서 스위칭이 미치는 영향은 오른쪽 다이어그램의 양의 반파에서 확인할 수 있습니다.

그림 19: 다양한 신호 전파 시간의 영향 측정



7.1.2 지터

지터의 영향은 병렬 연결된 디지털 드라이버가 자체 시스템 클럭을 가지고 있을 때 발생합니다. 지터로 인한 최대 시간 오프셋은 시스템 클럭의 주파수에 의해 결정됩니다. 병렬 드라이버 단계에서 입력 신호가 동시에 바뀌는 경우 해당 출력 신호의 변화는 1개의 시스템 클럭 시간에 따라 달라질 수 있습니다.

$$t_{jitter,max} = \frac{1}{f_{clock}}$$

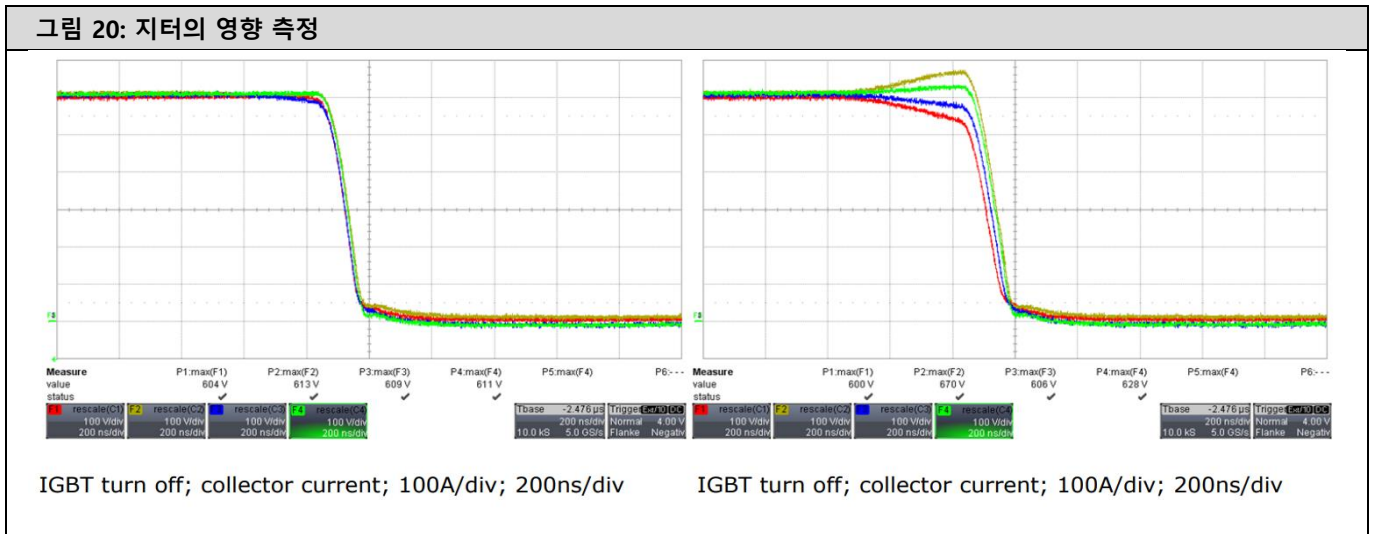
지터로 인한 시간 오프셋 분산은 $0 \leq t_{jitter} \leq T_{clock}$ 값에 대한 가우스 정규 분포를 대략적으로 보여 줍니다. 따라서 어떤 드라이버가 어떤 시점에 유효한 출력 신호를 제공할지 예측할 수가 없습니다. 지터의 영향을 따로 떼어 보면 병렬 드라이버의 입력에서 신호 변화의 수가 늘어남에 따라 출력 신호 사이의 총 시간 오프셋 분산이 0에 가까워진다고 가정할 수 있습니다.

$$\sum_{i=1}^n t_{jitter,i} - \sum_{k=1}^n t_{jitter,k} \approx 0 \quad \text{for: } n \rightarrow \infty$$

실제 애플리케이션에서 지터의 시간 오프셋이 다양한 신호 전파 시간의 시간 오프셋에 더해집니다. 그러나 지터의 영향은 중앙 드라이버 컨셉에서는 무시할 수 있습니다.

$$t_d = \Delta t_p + t_{jitter}$$

그림 20 은 4개의 병렬 개별 드라이버를 사용한 펄스 시험의 측정 결과를 보여줍니다. 지터로 인한 지연 시간은 약 25ns 이며, 이는 40MHz의 SKYPER12 프레스 핏 드라이버의 시스템 주파수의 역수에 해당합니다. 두 다이어그램의 측정값을 동일한 조건 하에서 즉시 연속적으로 기록하였습니다. 왼쪽 다이어그램은 거의 대칭적인 전류 분포를 보입니다. 현재 드라이버 출력 간의 지연은 거의 0입니다. 오른쪽 다이어그램은 병렬 드라이버의 출력 간 시간 지연이 약 25ns 인 조건에서 동적 전류 분포에 미치는 영향을 보여줍니다. 이 측정에서 약 25ns의 시간 지연으로 인해 전류가 약 12% 증가했으며(노란색 자취), 이는 공칭값 $I_{C,sum}/4$ 를 기준으로 한 것입니다. 전류 분포는 6.2장에 설명된 컨셉에 따릅니다.



7.1.3 게이트-에미터 전압의 차이

IGBT의 스위칭 속도는 입력 정전 용량의 충전 및 방전 속도에 따라 대략 달라진다고 가정할 수 있습니다. 병렬 연결 반도체가 동일한 특성을 갖고 있고 게이트 회로가 동일하다고 가정했을 때, 드라이버가 결정한 게이트-에미터 전압이 충전 프로세스의 속도를 설정합니다.

각 반도체 모듈에 자체 게이트 전압 조절을 하는 개별 드라이버가 있는 경우 모듈 간 게이트-에미터 전압의 차이가 발생할 수 있습니다. 이 문제는 중앙 드라이버 컨셉에서는 무시할 수 있습니다.

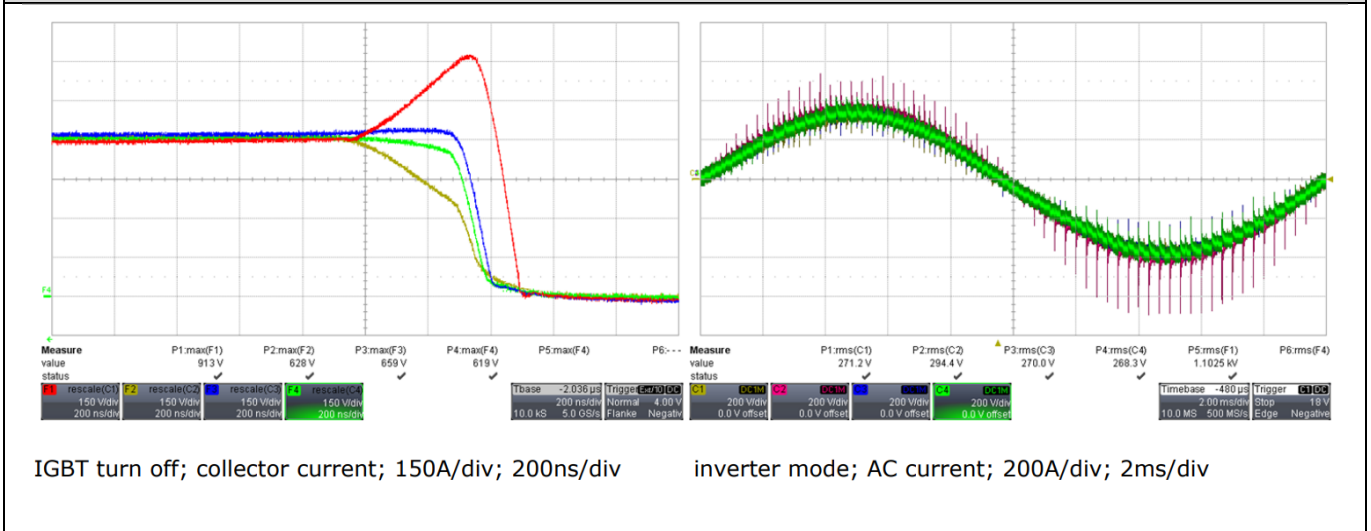
이러한 효과를 설명하기 위해 드라이버의 게이트 턴온 및 게이트 턴오프 전압(빨간색 자취)을 약 0.7V 증가시켰습니다. 그 결과 해당 IGBT가 더 빠르게 턴온되고 더 느리게 턴오프 됩니다.

그림 21 의 왼쪽 다이어그램은 턴오프 프로세스에서 동적 전류 분포를 나타냅니다. IGBT의 긴 전도 단계로 인해 병렬 IGBT의 전류가 해당 프리휠 다이오드로 바로 정류되지 않고 일부는 여전히 전도 동작 중인 IGBT를 통해 흐릅니다. 이러한 특수한

스위칭 프로세스에서 전류가 약 52% 증가했는데 이는 공칭값 $I_{c, sum}/4$ 을 기준으로 한 것입니다. IGBT의 정류 프로세스에서 전류의 분포는 6.2항에 설명된 컨셉에 따라 발생합니다.

오른쪽 다이어그램은 인버터 시험의 측정 결과를 보여 줍니다. 여기서도 시간 지연 스위칭이 빨간색 자취의 전류 피크로 명확하게 확인됩니다. 이것은 공칭값 $I_{AC}/4$ 에서 약 7%의 편차로 전체 전류 분포에 영향을 미칩니다.

그림 21: 다양한 게이트-에미터 전압의 영향 측정



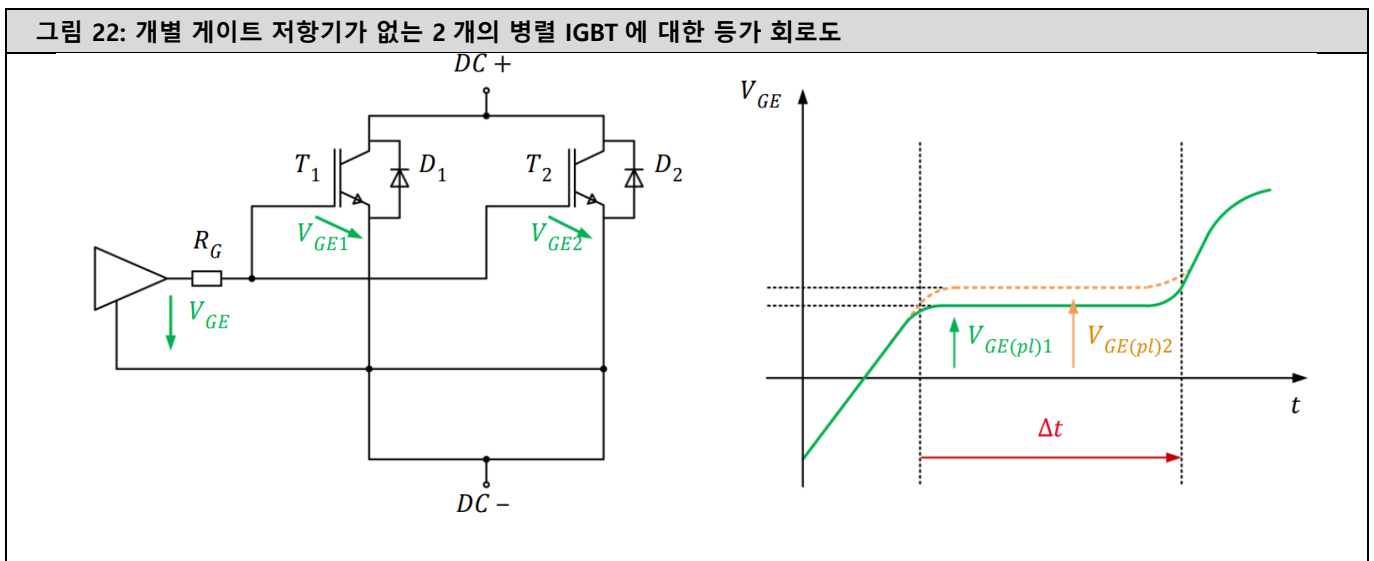
7.2 동적 전류 분포에 대한 중앙 드라이버의 영향

중앙 드라이버 사용 시, 전체 병렬 IGBT 모듈을 이 하나의 드라이버로 컨트롤 합니다. 적절한 전류 분포를 위해 고려할 사항이 몇 가지 있습니다.

7.2.1 게이트 저항

중앙 드라이버로부터 IGBT 게이트를 직접 병렬로 연결하는 경우, 가파른 전송 특성을 가진 IGBT (T_1)가 병렬 IGBT (T_2)의 게이트 전압을 플레토 전압 $V_{GE(pl)1}$ 수준으로 클램핑(고정)합니다. IGBT T_1 은 게이트 전압(Δt)을 클램핑하는 동안 더 많은 전류를 사용합니다. 역다이오드가 최대 차단 전압을 사용하면 게이트 전압이 다시 증가하고 2개의 IGBT가 모두 완전히 턴온 됩니다.

이를 막기 위해 각 IGBT에 대해 별도의 게이트 저항기가 제공됩니다. 그러면 IGBT의 게이트 전압이 서로 별개로 상승할 수 있으며 결국 약간의 스위칭 차이만 발생합니다.

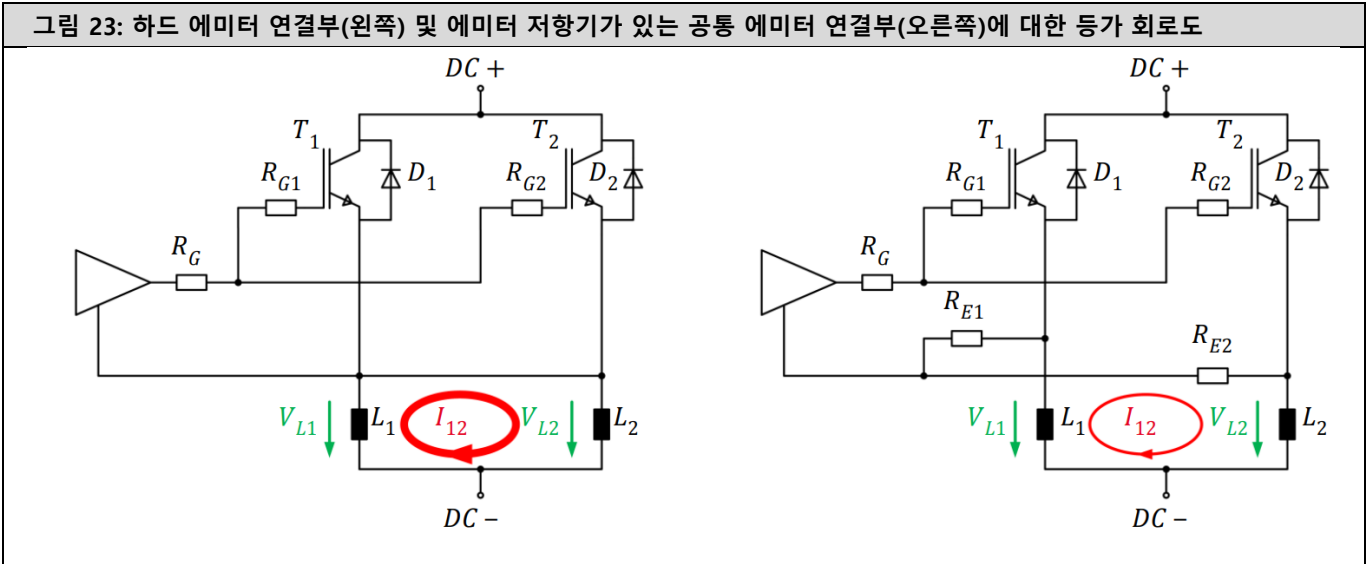


7.2.2 에미터 저항

그림 23 에서 왼쪽은 IGBT에 대한 드라이버의 하드 에미터 연결과 에미터 연결의 스트레이 인덕턴스를 보여줍니다. TOP IGBT의 경우, 스트레이 인덕턴스는 모듈의 AC 연결에서 발생합니다. BOT IGBT의 경우 이는 DC- 연결에서의 인덕턴스입니다. IGBT의 스위칭 속도가 다르거나 인덕턴스가 다르면 전압 강하 V_{L1} 과 V_{L2} 도 달라집니다. 이렇게 다른 전압 강하가 발생하면 순환 전류 I_{12} 가 드라이버의 에미터 연결부를 통해 흐릅니다.

이러한 순환 전류의 값이 높아져 얇은 보조 에미터 단자에 과부하를 줄 수 있습니다. 이를 막기 위해 전류 제한 저항기가 드라이버의 에미터 연결부에 삽입됩니다. 균형 에미터 인덕턴스가 있는 경우 에미터 저항이 $R_E = 0,5\Omega$ 이라는 양호한 결과를 나타냈습니다. 이러한 저항기는 게이트 저항과 직렬 상태이므로 IGBT의 스위칭 동작에 영향을 줍니다.

그림 23: 하드 에미터 연결부(왼쪽) 및 에미터 저항기가 있는 공통 에미터 연결부(오른쪽)에 대한 등가 회로도



7.2.3 에미터 피드백

중앙 드라이버를 통해 IGBT를 제어할 때 공통 에미터를 통해 게이트를 커플링하면 밸런싱 효과가 발생합니다. 이는 전류가 서로 별개로 변할 수 있는 개별 드라이버를 사용한 솔루션에 비해 유리한 점입니다. 이러한 밸런싱 효과는 병렬로 연결된 2개의 IGBT를 예를 통해 설명이 가능합니다(그림 24).

IGBT T_1 가 T_2 , 보다 빨리 스위칭 되면 에미터 인덕턴스 L_1 에서 전압 강하가 발생합니다. 이러한 전압 강하로 인해 전류(I_{12} , 파란선)가 에미터 저항기 R_{E1} 과 R_{E2} 를 통해 흐릅니다. 이 전류는 에미터 저항에서 전압 강화를 유발하는데 이것이 T_1 에서 게이트 전압을 상쇄하고 T_2 에서 게이트 전압에 더해집니다.

$$V_{GE1} = V_{GE} - V_{RG1} - V_{RE1}$$

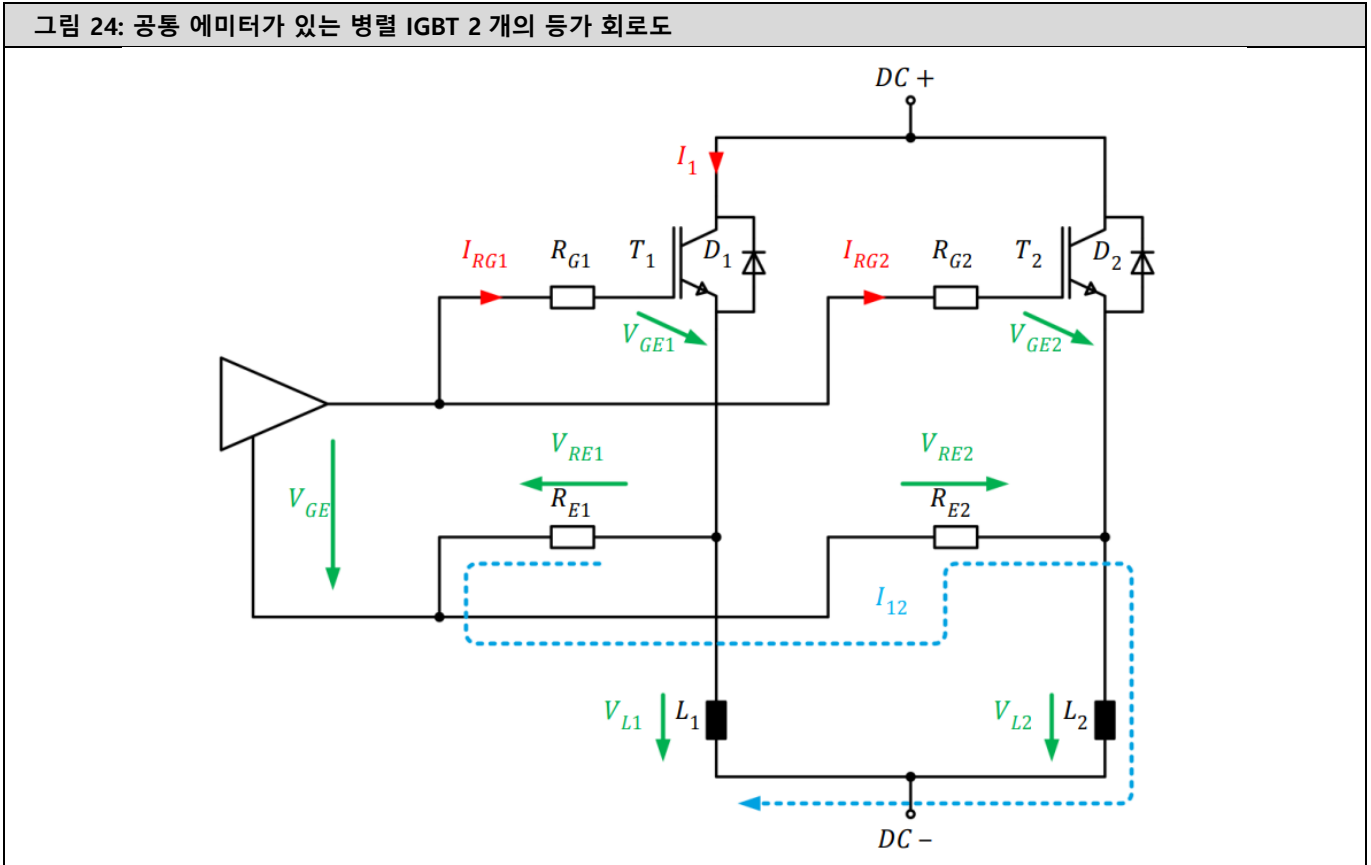
$$V_{GE2} = V_{GE} - V_{RG2} + V_{RE2}$$

이는 먼저 스위칭 되는 IGBT에서 게이트 전압이 감소하여(T_1), 지연시키는 결과를 가져온다는 의미입니다. 이러한 효과를 부정적 피드백이라고 합니다. 나중에 스위칭 되는 IGBT의 경우(T_2), 게이트 전압이 증가하면 이로 인해 전압이 더 빠르게 스위칭 됩니다(양의 피드백). 이는 스위칭 시 전류의 밸런싱이 이루어진다는 의미입니다.

그러나 에미터 커플링으로 인한 이러한 밸런싱은 다음과 같은 한계가 있습니다.

- 에미터 인덕턴스가 크면 커플링이 너무 강해집니다. 병렬 IGBT의 스위칭 속도가 약간이라도 차이가 나면 게이트 전압차가 높아져 진동이 발생할 수 있습니다.
- 불균형 에미터 인덕턴스의 경우(예: $L_1 \gg L_2$), 그리고 IGBT의 스위칭 특성이 동일하더라도 게이트 전압에 대해 상이한 커플링이 나타나 스위칭이 달라지는 결과가 발생합니다.

그림 24: 공통 에미터가 있는 병렬 IGBT 2 개의 등가 회로도



이러한 이유로 설계 시 낮은 대칭형 에미터 인덕턴스가 필수입니다. 통상 AC 연결이 DC-버스의 마이너스 값보다 더 높은 인덕턴스를 갖기 때문에 이것은 BOT 스위치보다 TOP 스위치에서 더 중요합니다.

이는 또한 중앙 드라이버에 대한 한계도 보여 줍니다. 고출력 시스템의 경우, 여러 모듈을 병렬로 연결하여 에미터 연결이 길어져 에미터 인덕턴스가 크고 불균형이 되도록 해야 합니다. 앞서 설명한 대로, 이렇게 하면 고르지 않은 전류 분포와 진동이 발생합니다. 이러한 이유로 대형 시스템의 경우 개별 드라이버가 사용됩니다.

7.3 추가 게이트 드라이브 구성 요소

게이트 (R_{Gx}) 및 에미터 저항기 (R_{Ex})이외에, 저항기(R_{GEx})를 연결해야 합니다. 게이트-에미터 방식으로 이는 드라이버가 제공되지 않을 경우 IGBT가 실수로 켜지는 것을 예방하기 위함입니다. 저항값은 보통 10kΩ입니다.

과전압으로부터 게이트를 보호하기 위해 제너(Zener) 다이오드 (V_x) 또는 서프레스 다이오드가 게이트에서 에미터로 연결되어 있습니다. 다이오드의 임계값이 드라이버의 최대 게이트 전압보다는 높지만 IGBT의 최대 허용 게이트 전압(+/- 20V)보다는 낮은 지 확인해야 합니다.

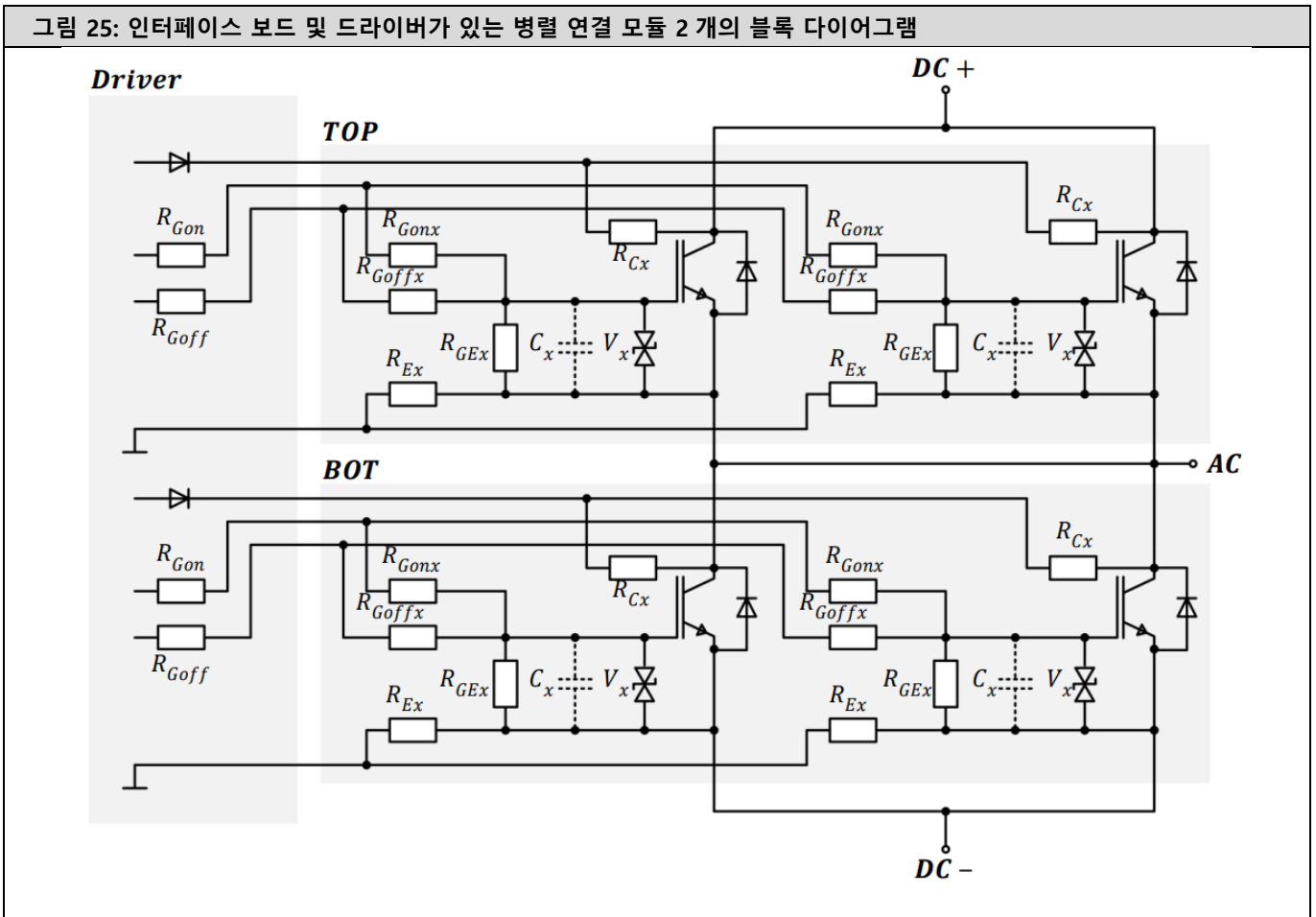
게이트 및 에미터와 병렬인 커패시터(C_x)가 병렬 작동에 긍정적인 영향을 미칠 수 있습니다. 커패시터의 범위는 10%에서 IGBT 게이트-에미터 용량의 50%까지입니다. 효과는 이중 펄스 시험을 통해 확인 가능합니다.

V_{CEsat} 평가에 기초하여 과전류 및 단락 보호를 시행하면 저항기(R_{cx})를 사용하여 V_{CE} 의 실제값을 결정할 수 있습니다.

저항기와 보호 회로는 모듈과 인접해야 합니다. 이를 위해서는 이러한 구성 요소들을 포함하는 인터페이스 보드를 개발해야 합니다. 이 인터페이스 보드의 경우, 병렬 IGBT가지의 케이블 길이가 동일하지 확인해야 합니다. 게이트 및 에미터 트랙을 병렬로 작동해야 합니다.

이어서 드라이버 코어를 인터페이스 보드에 직접 연결하거나 케이블을 통해 연결할 수 있습니다. 와이어는 연선이어야 합니다.

그림 25: 인터페이스 보드 및 드라이버가 있는 병렬 연결 모듈 2 개의 블록 다이어그램



8. 요약

반도체 속성이 전류 분포에 미치는 영향을 최소화하기 위해서는 1개 배치(batch)의 모듈을 사용해야 합니다. 일반적으로 5%의 전류 불균형을 예상해야 합니다. 전도와 스위칭 손실을 계산할 때 이러한 전류 비대칭성을 고려해야 합니다.

대칭적 전류 분포를 위해서는 병렬 전류 경로의 임피던스가 최대한 동일하게 하는 것이 중요합니다. 이를 위해 AC 연결은 개별 모듈과 동일 길이의 병렬 연결 모듈로 중앙에서 배선해야 합니다. 부하 측 모듈의 인덕턴스가 가능한 한 균형을 유지하도록 부하 케이블을 모듈과 멀리 배선해야 합니다.

인버터 시험에서는 양의 IGBT 온도 계수와 높은 부하 인덕턴스로 인해 전류 분포가 이중 펄스 시험보다 훨씬 양호합니다. 이중 펄스 시험은 병렬 연결 모듈의 전류 분포가 아닌 스위칭 동작 및 대칭성 파악에 더 적합합니다.

드라이버 컨셉 선택의 경우, 시스템의 크기가 중요합니다. 컴팩트한 타입의 시스템인 경우, 중앙 드라이버가 있는 솔루션이 더 선호됩니다. 지터로 인한 전류 분포의 부정적인 영향, 신호 전파 시간의 차이, 게이트-이미터 전압의 차이는 이 컨셉으로 대부분 해결됩니다. 또한 이미터 피드백은 긍정적인 효과도 있습니다.

대형 시스템의 경우 설계에 따라 공유 이미터 경로가 증가하고, 이미터 피드백으로 인해 병렬 반도체 또는 모듈 사이의 진동이 발생할 수 있습니다. 이 경우 개별 드라이버를 사용하는 컨셉을 사용해야 합니다.

개별 드라이버를 사용하는 경우 드라이버의 신호 전파 시간의 차이와 지터로 인한 시간 차이가 최대한 작게 되도록 주의를 기울여야 합니다. IGBT의 구동 신호 간의 시간 지연과 IGBT 자체의 스위칭 속도 차이가 AC 인덕턴스의 치수 결정에 있어 중요합니다. 지터가 낮고 신호 전파 시간의 차이가 작으면 대개 추가 AC 인덕터가 필요하지 않으며 모듈을 하드 병렬로 연결할 수 있습니다.

하드 병렬 회로의 전류 비대칭이 원하는 값보다 큰 경우 가능한 한 큰 인덕턴스를 통해 병렬 전류 분기를 분리해야 합니다. 특히, 고전력의 경우 병렬 연결 권선 시스템으로 이미 구성되어 있는 경우가 흔하기 때문에 별도의 모터나 라인 필터 권선이 적합합니다.

기호 및 용어

문자 기호	용어
ΔI	전류의 델타
Δt	시간의 델타
C	커패시터
D	다이오드
DC+	양의 DC-링크 전압
DC-	음의 DC-링크 전압
di/dt	시간 당 전류 변화
f_{clock}	내부 클럭 주파수
f_{out}	출력 주파수
f_{sw}	스위칭 주파수
g_{fs}	순방향 트랜스컨덕턴스
I	전류
IAC	출력 전류
IAC, 합계	총 출력 전류
I_c	연속 컬렉터 전류
I_c , 합계	총 연속 컬렉터 전류
i_c	컬렉터 전류
i_F	순방향 전류(실제값)
IGBT	절연 게이트 바이폴라 트랜지스터(IGBT)
K	분기점
L	인덕턴스
L_{σ}	스트레이 인덕턴스
$L_{\sigma E}$	이미터 스트레이 인덕턴스
$L_{\sigma G}$	게이트 스트레이 인덕턴스
L_{load}	부하 인덕턴스
M	자석 커플링
NTC	음의 온도계수
PTC	양의 온도계수
r_{CE}	온 상태 슬로프 저항
R	저항기
R_E	이미터 회로 저항
R_G	게이트 회로 저항
τ	Tau

t	시간
T	IGBT/온도
T _{clock}	내부 클럭 주파수의 주기 기간
t _d	지연 시간
T _j	정션 온도
t _{jitter}	지터
t _p	전파 지연 시간
T _{sense}	센서 온도(모듈)
V	전압
V _{CE}	컬렉터-이미터 전압
V _{CEsat}	컬렉터-이미터 포화 전압
V _{DC}	DC - 전압
V _F	순방향 전압
V _{G(off)}	턴오프 게이트 전압 레벨(드라이버)
V _{G(on)}	턴온 게이트 전압 레벨(드라이버)
V _{GE}	게이트-이미터 전압
V _{GE(pl)}	게이트 - 이미터 플래토 전압
V _{GE(th)}	게이트-이미터 문턱 전압

용어 및 기호에 대한 자세한 설명은 "애플리케이션 매뉴얼 전력 반도체"[2] 참고.

참고자료

- [1] www.SEMİKRON.com
- [2] A. Wintrich, U. Nicolai, W. Tursky, T. Reimann, "Application Manual Power Semiconductors", 2nd edition, ISLE Verlag 2015, ISBN 978-3-938843-83-3
- [3] M. Spang, "Current sharing between parallel IGBTs in power modules during short circuit with unsymmetrically connected load", 2016

중요 정보 및 주의 사항

이 문서의 정보는 제품 특성에 대한 보증 또는 보장으로 간주되지 않을 수 있습니다("품질 보증"). 이 문서는 특정 애플리케이션에 따라 달라질 수 있는 일반적인 애플리케이션에서 예상되는 제품의 통상적인 특성만을 설명합니다. 따라서 미리 애플리케이션 별로 제품을 시험해야 합니다. 애플리케이션 조정이 필요할 수 있습니다. SEMİKRON 제품의 사용자는 SEMİKRON 제품을 포함하는 애플리케이션의 안전에 대한 책임을 지며 특정 SEMİKRON 제품의 결함으로 인해 애플리케이션이 신체적 상해, 화재 또는 기타 문제를 초래하지 않도록 적절한 안전 조치를 취해야 합니다. 사용자는 애플리케이션 설계가 모든 관련 법률, 규정, 규범 및 표준을 준수하는지 확인할 책임이 있습니다. SEMİKRON의 공인 대리인이 서명한 서면 문서를 통해 SEMİKRON이 달리 명시적으로 승인한 경우를 제외하고, SEMİKRON 제품은 당해 제품의 고장 또는 그 제품 사용의 결과로 인해 인명 피해가 초래될 수 있음을 합리적으로 예상할 수 있는 애플리케이션에 사용할 수 없습니다. 제 3자의 지적 재산권 미침해에 대한 보증을 포함하되 이에 국한되지 않는 이 문서에 제공된 정보의 정확성, 완전성 및/또는 그 이용과 관련하여 어떠한 확약이나 보증도 제공되지 않으며 어떠한 책임도 지지 않습니다. SEMİKRON은 애플리케이션 또는 제품의 사용으로 인해 발생하는 어떠한 책임도 지지 않으며 특허권, 저작권, 영업 비밀 또는 여타 지적 재산권이나 타인의 권리에 따른 라이선스를 양도하지 않습니다. SEMİKRON은 애플리케이션으로 인해 발생할 수 있는 제 3자의 지적 재산권 미침해 또는 주장된 미침해에 대해 어떠한 확약이나 보증도 하지 않습니다. 이 문서는 이전에 제공된 모든 정보를 대체 및 대신하며 업데이트로 대체될 수 있습니다. SEMİKRON은 변경할 권리가 있습니다.

SEMİKRON-DANFOSS KOR

경기도 광명시 새빛공원로 67 광명역자이타워 A 동 1207~1212 호

• Tel: +82-2-6370-4799 • Fax: +49 911-65 59-262

sales.skcor@semikron-danfoss.com