

| | |
|-----------|--|
| Revision: | KOR-01 |
| 발행일: | 2023-09-26 |
| 작성자: | Dr.Ulrich Nicolai, Grady |
| 결재자: | Paul Drexhage, Martin Roebli, Kendrinc |

키워드: 사이리스터, 트리거링, 보호, 스너버

사이리스터 트리거와 다이오드 및 사이리스터의 보호

- 1. 일반 1
- 2. 주전원 사이리스터 트리거 요구 사항 2
 - 2.1 트리거 프로세스 2
 - 2.2 트리거 프로세스의 동적 시퀀스 2
 - 2.3 허용불가 트리거링 3
 - 2.4 온 상태 $(di/dt)_{cr}$ 의 임계 상승 속도 및 보호 조치에 대한 매개변수 5
 - 2.5 사이리스터 제어 특성 6
 - 2.6 트리거 펄스에 대한 요구 사항 8
- 3. 트리거 회로 10
 - 3.1 펄스 변압기가 있는 트리거 회로 10
 - 3.2 광커플러가 있는 트리거 회로 12
- 4. 오프 상태 전압 및 과전압 보호 13
 - 4.1 반복 피크 역전압에 따른 다이오드와 사이리스터 선택 13
 - 4.2 내부 과전압 및 보호 조치 14
 - 4.2.1 주전원 다이오드 및 주전원 사이리스터의 턴오프 동작 14
 - 4.2.2 스너버 회로 15
 - 4.2.3 SEMİKRON 사이리스터에 대한 스너버 회로 치수표시 15
 - 4.3 내부 과전압 및 보호 조치 17
- 5. 다이오드 및 사이리스터의 과전류 보호 17

1. 일반

주파수 변환기에서 주파수(라인 주파수) 사이리스터 및 다이오드가 많이 사용됩니다. 그 이유는 내구성, 낮은 순방향 손실 및 비교적 낮은 비용 때문입니다. 이 애플리케이션 노트는 브리지 정류기 및 AC 제어기와 같은 주파수 다이오드 및 사이리스터의 가장 중요한 응용 분야로 제한됩니다. 첫 번째 섹션은 사이리스터의 턴온에 대한 관련 매개변수와 트리거 펄스 생성기의 요구 사항 및 가능한 토폴로지를 다룹니다. 이 응용 노트의 두 번째 부분은 주파수 다이오드 및 사이리스터의 역전압에 따라 선택하는 방법과 내부 및 외부 과전압에 대한 보호 조치를 다룹니다. 마지막으로 과전류 보호의 가능성을 간략하게 요약하지만, 퓨즈 및 회로 차단기 선택은 제외합니다. 퓨즈 기능, 특성 정의 및 전류 부하 및 냉각에 따른 선택에 대한 자세한 설명은 [2]를 참조하십시오.

2. 주전원 사이리스터 트리거 요구 사항

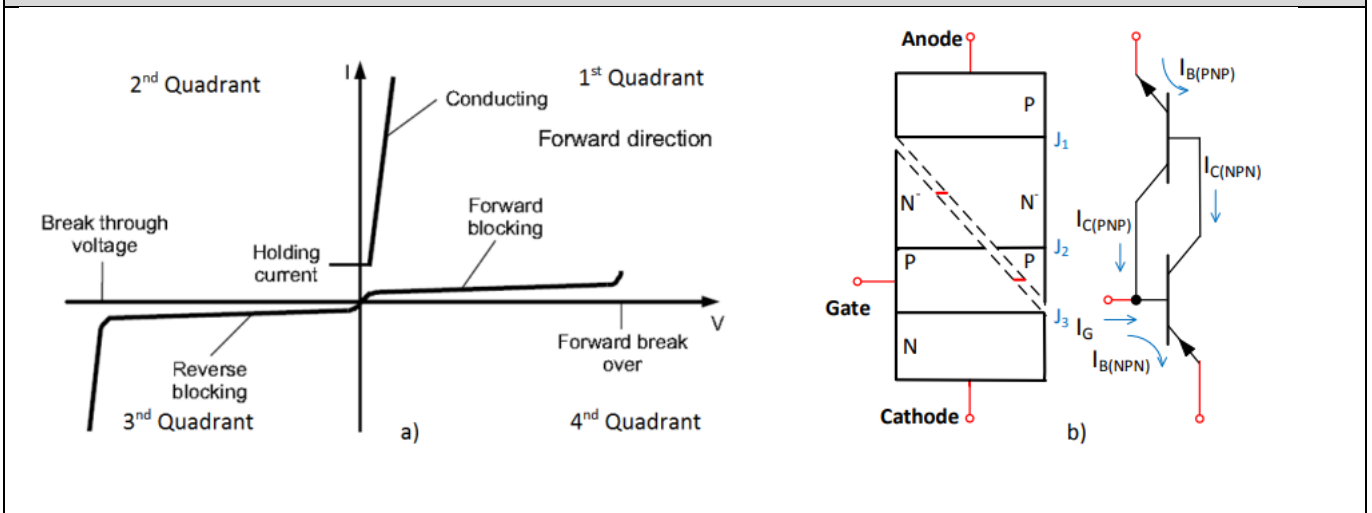
2.1 트리거 프로세스

특성 필드의 첫 번째 작동 사분면에서(그림 1a), 트리거 신호를 사용하여 사이리스터를 순방향 차단 상태에서 온 상태로 전환할 수 있습니다.

사이리스터의 2 개의 트랜지스터 등가 회로(그림 1b)에서 양의 트리거 전류 I_G 가 게이트-캐소드 PN 접합 J_3 를 통해 순방향으로 흐르고 N-캐소드(NPN 트랜지스터의 이미터)에서 전자의 주입을 유발합니다. 이 전자는 I_G 를 증폭하고 J_2 를 통해 부분적으로 NPN 과 PNP 트랜지스터의 컬렉터에 해당하는 낮은 농도로 도핑된 N 영역에 도달합니다. PNP 트랜지스터의 전류는 anode(PNP 트랜지스터의 이미터)에서 J_1 으로 주입된 구멍에 의해 증폭되고 J_2 를 통해 NPN 트랜지스터의 베이스로 흐릅니다.

두 트랜지스터의 전류 이득은 전류에 따라 증가합니다. 게이트 전류와 anode 전류의 합이 충분히 높아서 전류 이득의 합이 $\alpha_{NPN} + \alpha_{PNP} \geq 1$ 이 되면 사이리스터가 "fires (점화 : 전도상태로 변화)"하고 특성 곡선이 "순방향 차단" 상태에서 "전도" 상태로 변경됩니다. 순방향 전류가 래칭 전류 I_H 에 도달하면 트리거 전류를 제거하더라도 트리스터가 켜진 상태로 유지됩니다. 나중에 순방향 전류가 홀딩 전류 I_H 아래로 떨어지면 트리스터가 순방향 차단 상태로 돌아갑니다.

그림 1: a) 전류-전압 특성 및 대칭 사이리스터의 작동 영역, b) 2 개 트랜지스터 등가 회로도

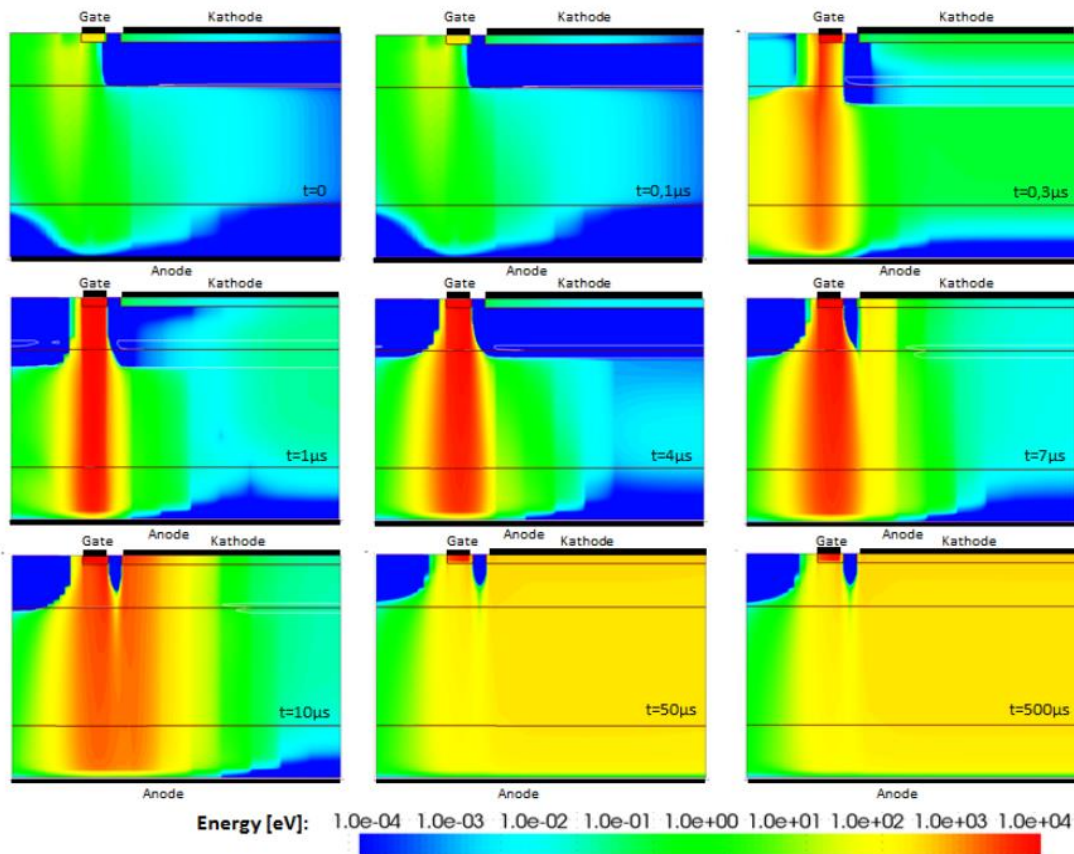


2.2 트리거 프로세스의 동적 시퀀스

트리거 프로세스는 게이트의 경계에서 시작됩니다. 이 영역은 가장 높은 트리거 전류 밀도를 가지기 때문입니다. 주파수 사이리스터에서 트리거 영역의 전파는 약 $30\text{-}100\mu\text{m}/\mu\text{s}$ 의 속도로 비교적 느립니다. 이 낮은 전파 속도는 외부 회로에 의해 제한되는 부하 전류 기울기에 따라 초기에 매우 높은 전류 밀도와 게이트의 강한 국부 가열을 초래합니다. 자체 개폐 회로에서 사용하도록 설계된 고속 사이리스터의 경우 트리거 프로세스가 더 빠릅니다. 그러나 더 높은 전도 및 차단 손실과 더 비싼 생산 비용으로 인해 특수한 경우에서만 라인-개폐 회로와 함께 사용됩니다.

그림 2 는 게이트 전류를 켜고 500A 주파수 사이리스터를 트리거 할 때 $500\mu\text{s}$ 이내에 시간에 따라 달라지는 전류 밀도 분포의 시뮬레이션 결과를 보여줍니다. 영역의 색상은 전류 밀도에 비례하는 국부 손실 에너지를 나타냅니다. 트리거 프로세스의 시작 부분에서 전류 밀도는 게이트 영역 아래에서 급격히 증가하고 $1\mu\text{s}$ 에서 $4\mu\text{s}$ (3 번째 및 4 번째 이미지) 사이에 최대값에 도달합니다. 5 번째 이미지부터 점화 전면이 전체 칩 영역으로 확산되기 시작합니다. 이 모델에서 약 $50\mu\text{s}$ (8 번째 이미지) 후에 전체 사이리스터가 트리거됩니다. 이 시점에서 전류 밀도는 표면에 거의 균일하게 분포됩니다.

그림 2: 500A의 IT를 트리거링 하는 동안 사이리스터 칩 내부의 시뮬레이션 손실 에너지 분포



트리거 전면의 유한한 전파 속도와 손실의 가용 소산 결과는 아래에서 자세히 설명하는 것처럼 데이터 시트에 제공된 "전도 상태 전류의 임계 상승률(di/dt_{cr})" 값이 도출됩니다.

2.3 허용불가 트리거링

게이트에 전류를 공급하는 것 이외의 정의된 제어 패턴이 아닌 방법으로 기존 사이리스터 트리거링은 허용되지 않습니다. 부적절한 트리거링은 다음과 같은 이유로 J_3 을 통해 게이트 영역에서 캐소드 영역으로 흐르는 모든 전류로 인해 발생할 수 있습니다.

- 구동 회로의 기생 전류(고장, 제어 라인의 유도성 또는 용량성 간섭 등)
- 제로 문턱 전압을 초과할 때 차단 트리거로 이어지는 열 및/또는 높은 순방향 차단 전압에 의해 발생하는 차단 전류
- 매우 높은 강도의 빛 또는 방사선
- 순방향 오프 상태 전압의 급상승에 의한 용량성 변위 전류

이로 인해 몇 가지 트리거 조건(예: 진폭, 상승률 및 게이트 전류 지속 시간)과 부하 회로 조건이 상호 의존하게 됩니다.

급격한 오프 상태 전압 증가로 인한 사이리스터의 허용불가 트리거링의 한계는 데이터시트에 제공된(순방향)오프 상태 전압(dv/dt_{cr})의 임계 상승률입니다. SEMİKRON 사이리스터의 시험 조건은 최대 정선 온도 T_{vjmax} 및 오픈 게이트에서 반복 피크 오프 상태 전압 V_{DRM} 의 최고 66%까지 기하급수적인 전압의 상승입니다. 낮은 T_{vj} 또는 낮은 오프 상태 전압에서는 (dv/dt_{cr})이 약간 더 높습니다. 내부 과전압을 제한하는 RC 병렬 회로(4.2.2 항 참조)가 적절한 라인 인덕턴스와 결합하면 역시 dv/dt 를 제한합니다.

데이터시트에 제공된 (순방향) 차단 전압의 급격한 상승으로 인한 사이리스터의 부적절한 트리거링 한계는 (dv/dt_{cr})입니다. SEMİKRON 사이리스터의 테스트 조건은 최대 접합 온도 T_{vjmax} 에서 개방 게이트에서 반복 정격 차단 전압 V_{DRM} 의 66%까지

지수 전압 상승입니다. T_{vj} 가 낮거나 차단 전압이 낮은 상태에서는 $(dv/dt)_{cr}$ 이 약간 더 높습니다. 내부 과전압을 제한하기 위한 RC 병렬 회로(4.2.2 절 참조)와 적절한 라인 인덕턴스 결합으로 dv/dt 를 제한합니다.

허용불가 트리거링으로 인해 발생하는 최종 파손 모드는 $di/dt_{(crit)}$ 고장입니다.

"일반" 트리거 펄스가 완전한 트리거에는 부족하거나 역차단 위상(특성 필드의 제 3 사분면)에서 트리거 펄스가 발생하고 전류가 게이트로 유입되는 경우 불완전한 트리거에도 파괴 위험이 존재합니다. 트리거 전류로 인해 역방향 전류 i_R 가 강하게 상승하고 그에 따라 사이리스터의 차단 손실이 크게 증가합니다(그림 3a).

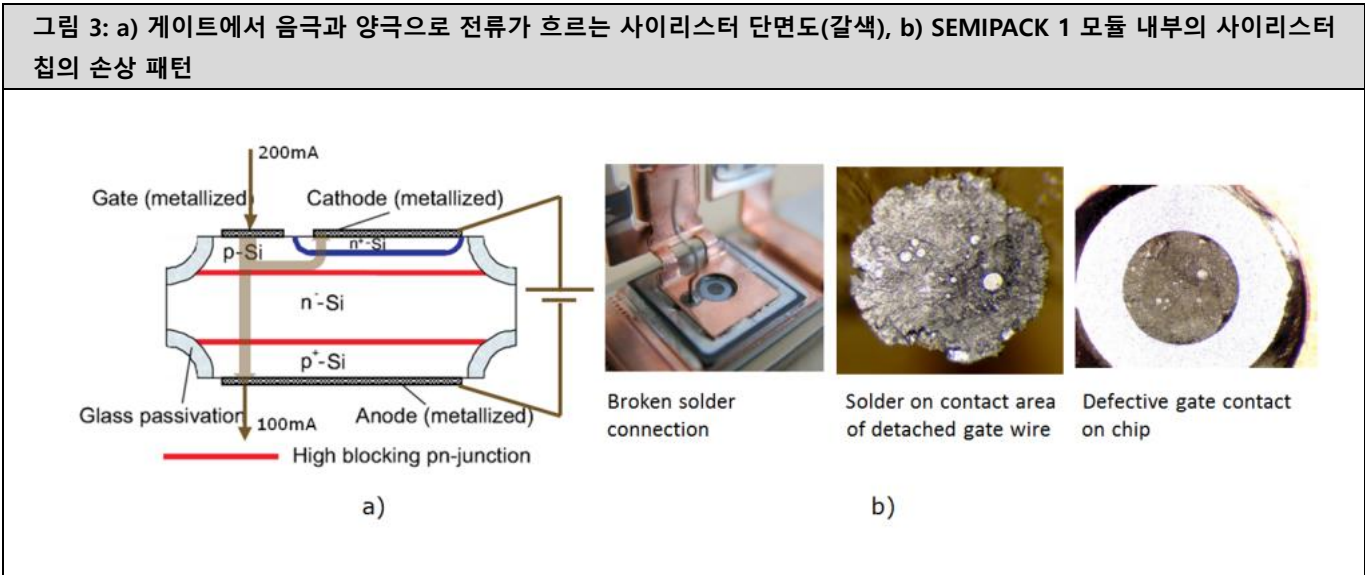
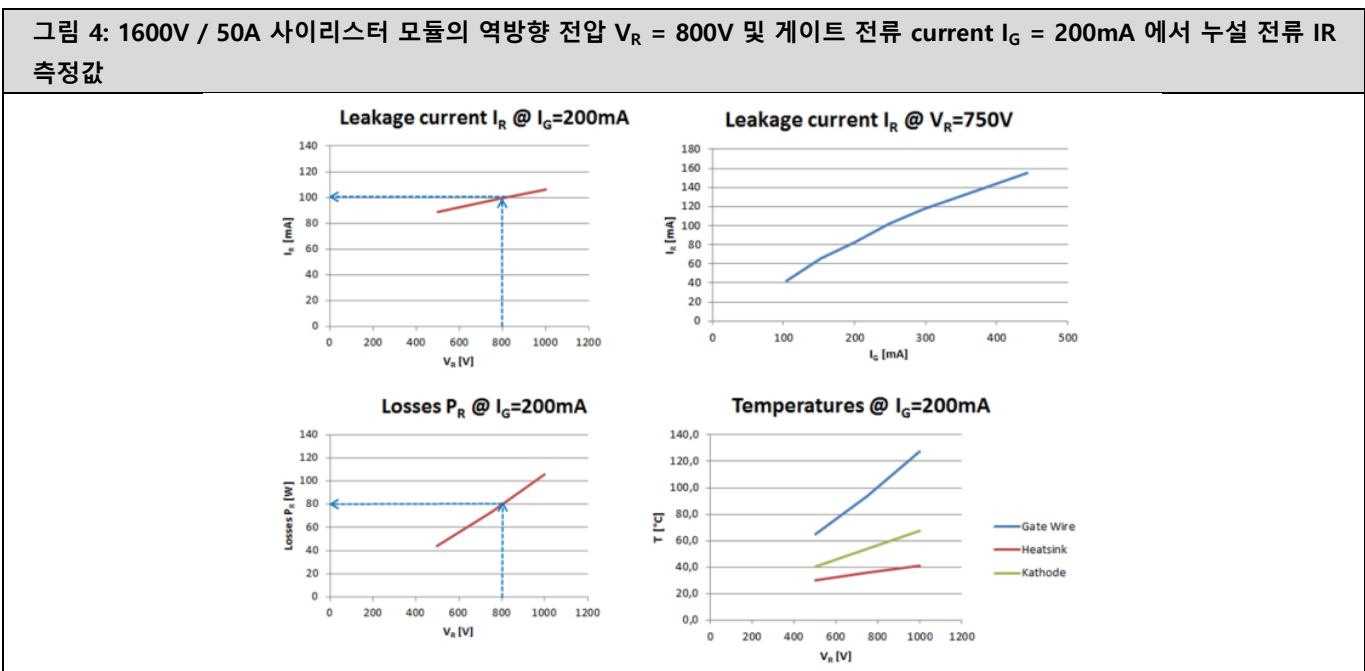


그림 4의 측정 결과에서 보듯이, 게이트 전류 200mA는 역동작 NPN 트랜지스터에서 전류 이득 0.5로 증폭됩니다. 시뮬레이션 결과에 따르면, 역방향 블로킹 전압 $V_R = 800V$ 에서 이로 인해 약 100mA의 역전류 I_R 가 발생하며, 이는 게이트 접촉 아래의 N-/P+ 고갈층 내에서 약 80W의 국부 손실을 유발합니다. 100A 티리스터의 경우 이러한 손실은 약 2mm²의 면적 내에서 발생하며, 작은 면적에 의해 발생하는 높은 열 저항으로 인해 실리콘을 국부적으로 200°C 이상의 온도로 가열합니다. 주기적인 과열로 인해 티리스터는 게이트 접촉에서 고장날 수 있습니다(그림 3b).



2.4 온 상태 전류의 임계 상승률(di/dt)_{cr} 및 보호 조치에 대한 매개변수

데이터시트에 표시된 온 상태 전류의 임계 상승률(di/dt)_{cr}는 사이리스터를 손상시키지 않는 최대 허용가능 순방향 전류 증가량입니다. 서로 다른 게이트 구조(주변 게이트, 중앙 게이트 및 증폭 게이트)를 가진 사이리스터는 (di/dt)_{cr}의 허용범위가 다릅니다.

표 1 은 몇가지 회로 매개변수와 작동 조건에 대한 사이리스터(di/dt)-용량 의존성을 정성적으로 정리한 것입니다. 이는 예를 들어 (di/dt)-용량은 T_{vj} 또는 V_D 가 증가함에 따라 감소한다는 의미입니다. I_G , di_G/dt , 또는 트리거 펄스 지속시간 t_p 이 증가할 수록 (di/dt)-용량도 증가합니다.

표 1: (di/dt)-용량의 칩 온도 T_{vj} , 작동 전압 V_D , 순방향 전류 I_T , 주전원 주파수 f , 진폭 I_G , 슬루율 di_G/dt 및 트리거 전류의 펄스 지속시간 t_p 에 대한 의존성

| | T_{vj} | V_D | I_T | f | I_G | di_G/dt | t_p |
|----------------|----------|-------|-------|-----|-------|-----------|-------|
| (di/dt)-역량 | ↘ | ↘ | ↘ | ↘ | ↗ | ↗ | ↗ |

SEMİKRON 데이터 시트에 표시된 (di/dt)_{cr} 값은 다음 조건에 적용됩니다.

- 주파수: 50/60Hz
- 전류 진폭 I_T : 사인파 반파에서 사이리스터 평균 순방향 전류 $I_{T(AV)}$ 의 3 배
- 케이스 온도: 85°C
- 게이트 전류 펄스 I_G : $5 \cdot I_{GT}$, $di_G/dt \geq 1A/\mu s$, 게이트 트리거 펄스 지속 시간 $\geq 10\mu s$

이는 실제 작동 조건과 상당히 다를 수 있습니다. 따라서 티리스터 회로를 설계할 때는 실제 작동 조건을 고려하여 (di/dt)_{cr} 을 초과하지 않도록 해야 합니다.

전원 공급에 큰 인덕턴스가 있더라도, 교환기 내의 커패시턴스의 정류로 인해 티리스터 턴 온 시 급격한 전류 변화율이 발생할 수 있습니다. 이러한 경우에는 시리즈 인덕턴스 L_R 를 사용하여 di_T/dt 를 제한해야 합니다(그림 5).

$$L_R \geq \frac{V_D}{\left(\frac{di}{dt}\right)_{cr}}$$

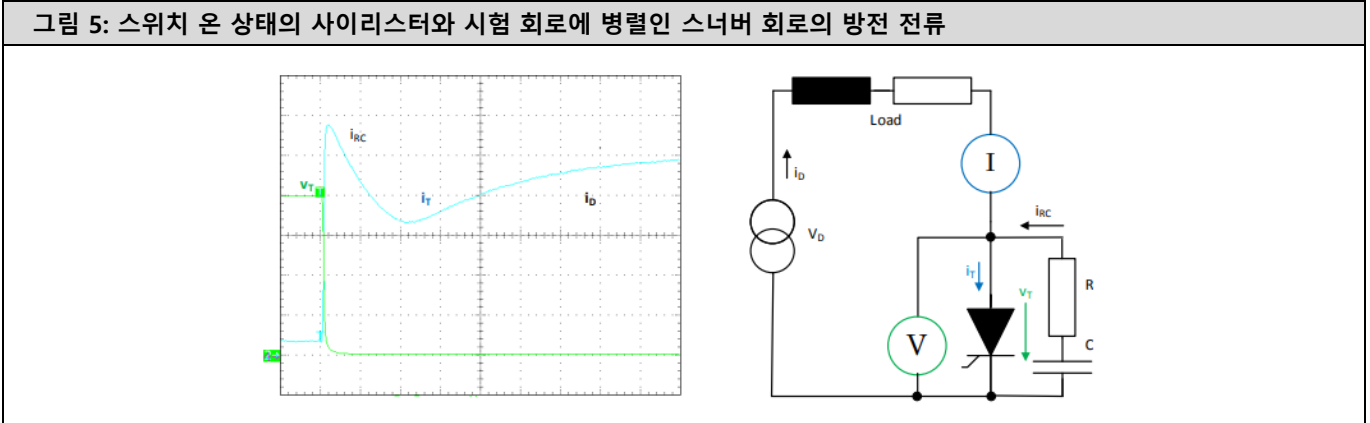
$$L_R \geq \sqrt{2} \frac{V_V}{\left(\frac{di}{dt}\right)_{cr}}$$

V_V : RMS 공급전압(라인-라인)

직렬로 연결된 선형 인덕터는 전류 상승 중 트리거 된 영역의 전류 밀도를 감소시킵니다. 포화 초크가 사용되는 경우, 사이리스터의 더 큰 영역이 전류 전도에 관여하게 되면 단계 시간 t_{st} 이후에 높은 전류 변화율이 발생합니다.

사이리스터와 병렬로 연결된 낮은 인덕턴스 스너버(섹션 4.2.2 참조)는 방전된 커패시터 전류로 인해 높은 전압 순간 값으로 스위칭 할 때 추가적인 di_T/dt 부하를 유발합니다(그림 5). SEMİKRON 사이리스터의 경우 이 방전 전류의 피크 값은 50A를 초과하지 않아야 합니다.

그림 5: 스위치 온 상태의 사이리스터와 시험 회로에 병렬인 스너버 회로의 방전 전류



2.5 사이리스터 제어 특성

표 2 는 트리거 회로 설계 관련 데이터가 포함된 SEMIPACK 사이리스터 모듈 SKKT 106 의 데이터시트의 일부입니다. 데이터시트 측정의 경우 사이리스터를 DC 펄스로 트리거 합니다. 실제 애플리케이션에서, DC 제어는 항상 게이트 전력 손실을 고려해야 하며, 그 값은 그림 7 의 한계 값 미만을 유지해야 합니다.

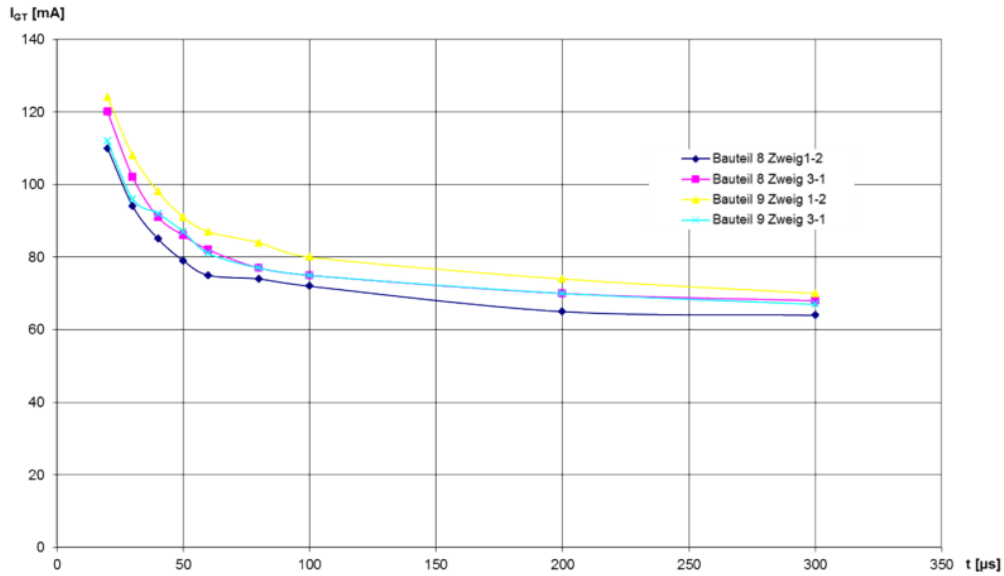
표 2: 트리거 회로 설계(검은색) 및 설명(파란색)에 대한 세부 데이터시트 정보

| Symbol | Characteristics | Conditions | Values | Units | Specified @ |
|----------|----------------------------------|---|------------------------|-------|--|
| I_H | Holding Current | $T_{vj} = 25^{\circ}\text{C};$ | 150/250 typ. / max. | mA | $V_D = 6\text{V}, R\text{-Load}$ |
| I_L | Latching Current | $T_{vj} = 25^{\circ}\text{C};$ $R_G = 33\Omega;$ | 300/600 typ. / max. | mA | $V_D = 6\text{V}, R\text{-Load}; 10\mu\text{s rect. gate pulse with } 5 \cdot I_{GT}, R_G = 33\Omega$ |
| V_{GT} | Gate trigger voltage | $T_{vj} = 25^{\circ}\text{C};$ d.c. | min. 3 | V | $V_D = 6\text{V}, R\text{-Load}; 100\mu\text{s rect. gate pulse with } 5 \cdot I_{GT}, R_G = 33\Omega$ |
| I_{GT} | Gate trigger current | | min. 150 | mA | |
| V_{GD} | Highest gate non-trigger voltage | $T_{vj} = 130^{\circ}\text{C};$ d.c. | max. 0.25 | V | |
| I_{GD} | Highest gate non-trigger current | | max. 6 | mA | |

레칭 전류 I_L 는 사이리스터가 트리거 펄스 종료 시 온 상태를 유지하고 트리거 펄스 종료 시 턴오프 되지 않는 최저 양극 전류입니다. 양극 전류가 유지 전류 I_H 아래로 떨어지면 턴오프가 됩니다.

게이트 트리거 전압 V_{GT} 및 게이트 트리거 전류 I_{GT} 는 제어 전류와 제어 전압의 최소값이며, 트리거 보장을 위해 $100\mu\text{s}$ 펄스에서 필요한 값입니다. 제어 펄스가 짧을수록 I_{GT} 가 1.4 배~ 2 배 증가합니다. 그림 6 의 예를 참조하십시오.

그림 6: 250A SEMIPACK 사이리스터 모듈에서 트리거 전류 I_{GT}의 트리거 펄스 폭 t_p에 대한 의존성 측정값



게이트의 최대 게이트 Non 트리거 전류 I_{GD} 또는 최고 게이트 Non 트리거 전압 V_{GD} 아래에서는 장치의 트리거가 발생하지 않습니다. V_D ≈ 100V가 넘으면, I_{GD}는 전압이 증가하면 최대 30%까지 감소합니다.

표 3은 회로 매개변수와 작동 조건에 대한 이러한 특성의 의존성을 정리한 것입니다. 예를 들어, I_H는 T_{vj} 또는 V_D가 증가함에 따라 감소하고, I_{GT}는 T_{vj}, I_G 및 di_G/dt가 증가하면 감소합니다.

표 3: 칩 온도 T_{vj}, 작동 전압 V_D, 전류 I_G, 상승률 di_G/dt 및 트리거 전류의 펄스 지속시간 t_p에 대한 트리거 매개변수 I_H, I_L, V_{GT}, I_{GT}, V_{GD} 및 I_{GD}의 의존성

| | T _{vj} | V _D | I _G | di _G /dt | t _p |
|-----------------|-----------------|----------------|----------------|---------------------|----------------|
| I _H | ↘ | ↘ | - | - | - |
| I _L | ↘ | ↘ | ↘ | ↘ | ↘ |
| V _{GT} | ↘ | ↗ | ↗ | - | - |
| I _{GT} | ↘ | - | ↘ | ↘ | ↘ |
| V _{GD} | ↘ | - | - | - | - |
| I _{GD} | ↘ | ↘ | - | - | - |

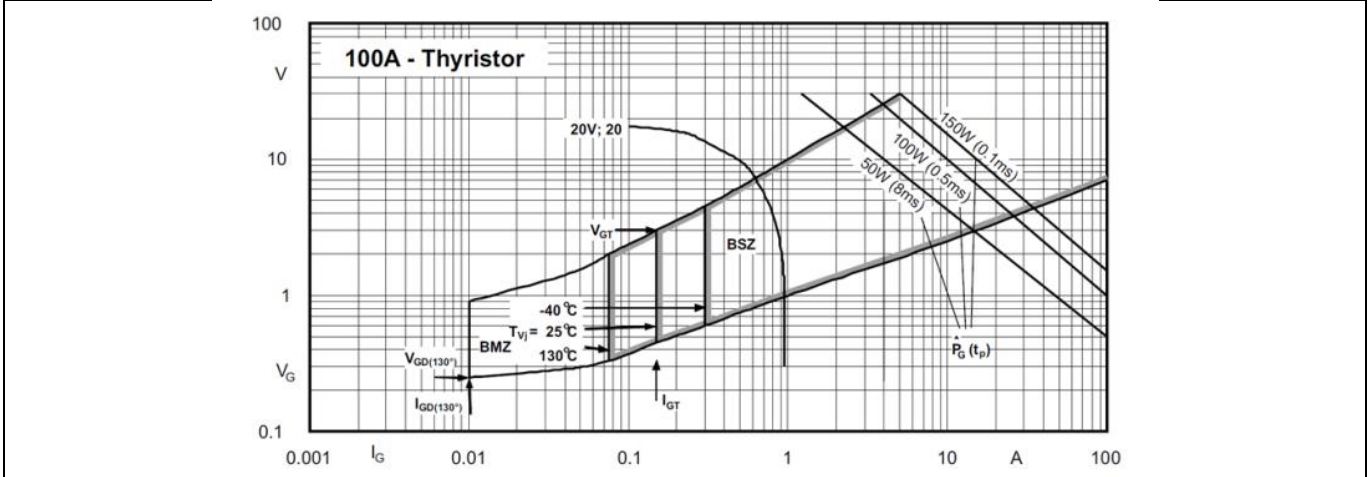
이 데이터시트에는 게이트 제어 지연 시간 t_{gd} 및 게이트 제어 상승 시간 t_{gr}에 대한 값을 제공하고 있습니다. 이들은 트리거 전류를 인가하는 시점부터 사이리스터(t_{gd})의 순방향 전압 V_D의 감소가 시작되는 시점(t_{gr})까지의 시간 간격입니다. 자세한 내용은 [2], 섹션 3.2.5를 참조하십시오. 총 게이트 트리거 시간 t_{gt} = t_{gd} + t_{gr}은 사이리스터 유형에 따라 달라지며 일반적으로 3µs에서 6µs 사이입니다.

SEMİKRON 데이터시트의 게이트 트리거 특성은 게이트-음극 다이오드 특성의 가능한 편차 범위 V_G = f(I_G)를 설명합니다(그림 7 참조). 그림 7에는 또한 온도-의존 트리거 범위와 다양한 트리거 펄스 지속시간에 대한 최대 트리거 출력 손실 P_{GM} 곡선이 포함되어 있습니다. SEMİKRON 및 대부분의 다른 제조사의 데이터시트에는 DC 작동에 대한 최대 연속 게이트 전력 손실에 대한 값은 포함되어 있지 않습니다. 여기서, P_G는 10W 미만이어야 합니다.

T_{vj} = 25°C에서 트리거 전류 I_{GT}와 트리거 전압 V_{GT} 및 최고 Non 트리거 게이트 전류 I_{GD}와 최고 Non 트리거 게이트 전압 V_{GD}은 이 사이리스터에 대해 허용되는 최고 온도 T_{vjmax}를 기준으로 다이어그램에 표시되어 있습니다. T_{vj} = -40°C, 25°C 및

T_{vjmax} 에 대해 가능한 트리거 영역(BMZ) 과 안전 트리거 영역(BSZ)도 함께 표시되어 있습니다. 온도가 상승하면 I_{GT} 가 감소하고 온도가 상승함에 따라 BSZ가 더 작은 게이트 전류로 확장합니다.

그림 7: 게이트 전류 I_G (편차 범위)와 다양한 칩 온도 T_{vj} 에서 가능한 트리거 영역(BMZ) 및 안전 트리거 영역(BSZ), 허용가능 트리거 전력 손실 한계 $P_G(t_p)$, 트리거 회로의 모범 특성(20V; 20 Ω)과의 함수인 게이트-음극 전압 V_G



트리거 회로의 전류-전압 특성은 트리거 펄스의 전류와 전압이 전체 작동 온도 범위에 대한 안전 트리거 범위(BSZ) 내에 있고 100 μs , 500 μs , 8ms의 펄스 지속시간 t_p 에 대한 다이어그램에 표시된 피크 트리거 전력 손실 $P_G(t_p)$ 을 초과하지 않도록 해야 합니다. 예를 들어, 이 다이어그램은 20V 개방 회로 전압과 내부저항이 20 Ω 인 트리거 회로의 특성을 포함하고 있습니다. 의도적인 트리거 전류와 잔류 전류 또는 의도치 않게 트리거로 이어질 수 있는 결합 간섭 전류에 대해 BMZ의 작동 지점은 피해야 합니다.

2.6 트리거 펄스에 대한 요구 사항

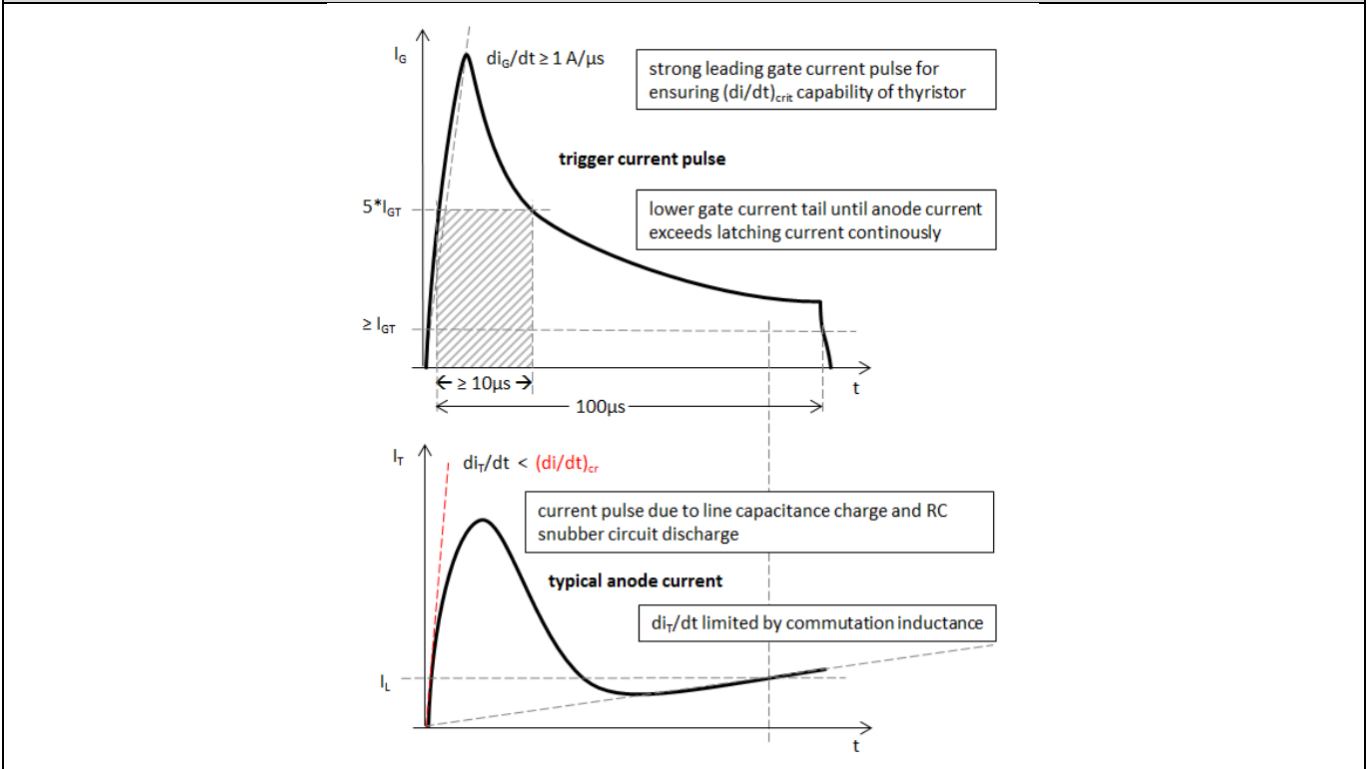
실험실 조건에서는 저항성 부하와 함께 사이리스터를 트리거 하기에는 10 μs 길이의 게이트 전류 펄스가 충분하지만, 실제 요구 사항은 상당히 더 높을 수 있습니다.

트리거 펄스의 형태, 진폭 및 지속시간은 다음에 맞춰 조정해야 합니다.

- 사이리스터의 특정 제어 특성(V_{GD} , V_{GT} , I_{GD} , I_{GT} , $P_{GM}(t_p)$, t_{gd} , t_r 에 대한 제어 특성 또는 데이터시트 값)
- 작동 온도 범위(저온에서 I_{GT} 증가함)
- 부하 전류의 진행(I_L 에 도달, I_H 아래로 전류 강하 가능).

SEMİKRON 데이터시트에 제공되고 위의 2.4 절과 2.5 절에서 논의된 $(di/dt)_{cr}$ 및 트리거 특성은 그림 8 과 같은 트리거 펄스로 검증됩니다. 트리거 펄스가 짧아지면 다른 매개변수에 대해 그림 6 또는 표 3 과 같은 영향을 미칩니다.

그림 8: SEMİKRON 사이리스터 및 부하 전류의 일반 경로를 유도부하와 스너버 와이어링을 통해 검증하는데 사용되는 권장 트리거 전류

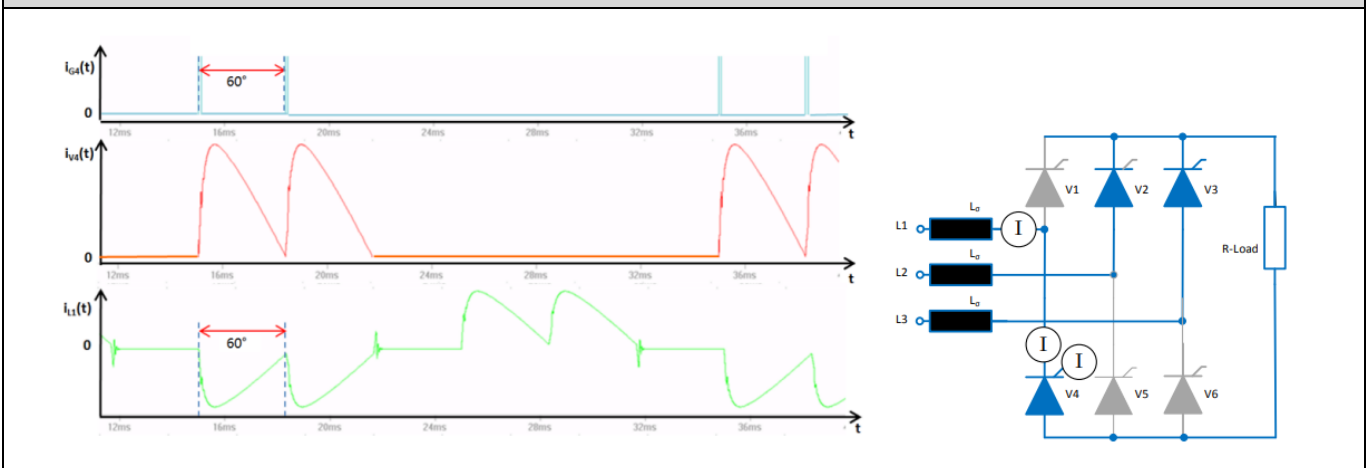


실제로 높고 긴 트리거 펄스를 생성하는 데는 비용이 많이 들기 때문에 절충된 솔루션이 자주 사용됩니다. 일반적으로 트리거 펄스는 높거나($\approx 5 \cdot I_{GT}$) 길거나($\geq 20\mu s$)해야 하지만, 어떤 경우에는 가파른 상승($\geq 1A/\mu s$)을 보여야 하고 부하전류 I_L 에 도달할 때까지 지속되어야 합니다. 더 길고 더 높은 트리거 펄스는 I_{GT} 와 I_L 을 감소시키고 사이리스터의 (di/dt) 성능을 증가시킵니다.

역전압이 있는 정류기와 유도성 부하를 갖는 교류 컨트롤러의 경우 각 사이리스터는 공급 전압의 순간 값이 역전압의 순간 값보다 높을 때까지 점화할 수 없습니다. 안전한 정류를 위해서는 50Hz에서 최대 10ms의 트리거 펄스가 필요합니다.

완전히 제어되는 6펄스 브리지 정류기(B6C)에서 연속 전류 흐름의 경우, 사이리스터의 120° 전류 전도 각도를 갖습니다. 프리휠링 다이오드를 통한 불연속 전류 또는 간접 정류의 경우, 각 전류 블록이 60° 전류 전도 각도를 갖는 두 개의 블록으로 나눌 수 있습니다. 따라서 트리거 회로는 60° 거리의 이중 펄스를 전달해야 합니다. 그림 9는 이를 위상 L1 및 사이리스터 V4에서 시뮬레이션 전류로 보여주고 있습니다.

그림 9: 불연속 출력 전류를 갖는 완전 제어 B6 브리지 정류기의 전류 곡선(V4에 대한 시뮬레이션 예시)



3. 트리거 회로

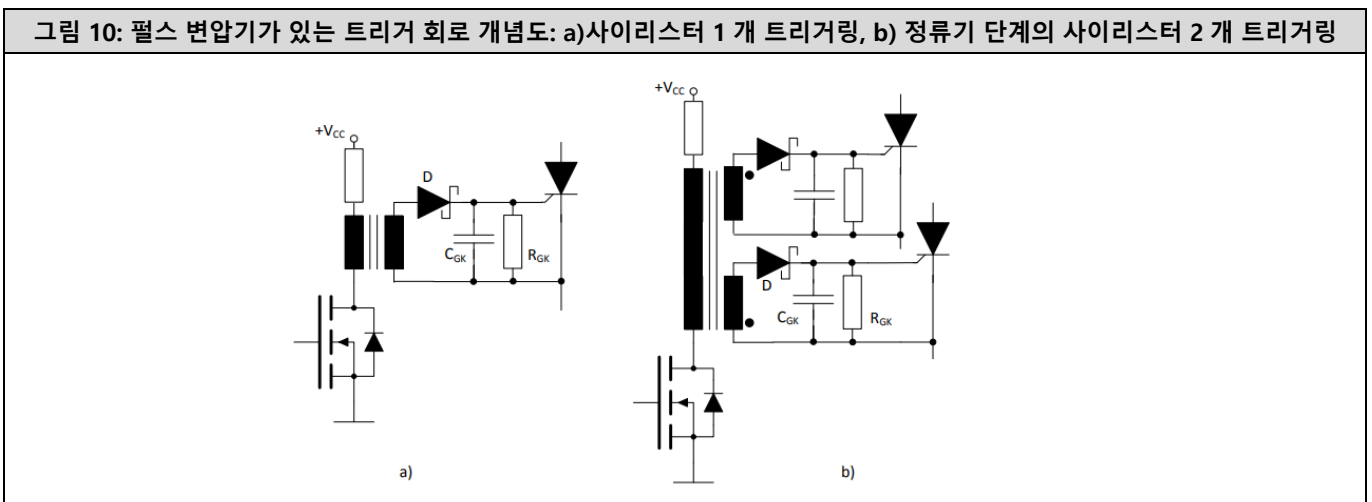
트리거 회로는 모든 작동 조건에서 2 절의 요구 사항을 충족하는 전류 펄스를 생성해야 합니다. 이는 2.3 절에서 설명한 것처럼 3 사분면 역전압 차단 상태에서 트리거 펄스를 제외하기 위해 전원과 동기화해야 할 필요성을 포함합니다. 차단해야 하는 펄스는 예를 들어 제어 신호와 각 사이리스터의 애노드-캐소드 전압의 극성을 비교하여 인식할 수 있습니다.

전력 변환기의 사이리스터는 일반적으로 서로 다른 전위에 있기 때문에 트리거 회로의 출력은 서로 분리되어야 합니다. 이를 위해서는 펄스 변압기가 가장 많이 사용됩니다. 펄스 변압기는 트리거 신호와 필요한 제어 전력을 모두 전송할 수 있습니다. 광커플러도 사용되지만 사이리스터의 캐소드(음극) 전위에서 제어 전력은 별도의 전원 공급 장치로 생성하거나 애노드(양극) 전압에서 복구해야 합니다.

전류 및 전압 과도 현상은 유도 또는 정전 용량 간섭에 의해 트리거 회로의 기능에 영향을 미치거나 사이리스터 제어선에 직접 작용하여 원치 않는 스위칭을 유발할 수 있습니다. 일반적인 해결 방안으로는 짧고 고인 제어선, 게이트와 캐소드 사이의 약 22~220Ω 범위의 저항 R_x , 커플링 커패시턴스를 통해 전류를 흘려 보내는 접지된 펄스 변압기(또는 광커플러)의 1 차 및 2 차 측 간 차폐 등이 있습니다.

3.1 펄스 변압기가 있는 트리거 회로

그림 10 은 펄스 변압기가 있는 트리거 회로의 개념도입니다.



변압기의 1 차 전압 V_{CC} 와 권선비는 2 차 전압이 동적 V_{GK} 오버슈트 및 애노드(음극) 전류 중의 네거티브 피드백에서도 사이리스터에 충분한 게이트 전류를 공급할 수 있도록 선택해야 합니다(2 장 2.2.2.4 절 및 3 장 3.2.5.2 절 참조).

2 차 회로의 고속 다이오드 D 는 변압기 2 차 전압의 정류 스윙 중에 발생하는 동적 V_{GK} 오버슈트의 네거티브 게이트 전류를 방지합니다. RC 소자 R_{GK} , C_{GK} 는 트리거 라인에서 원치 않는 결함을 필터링하는 데 사용됩니다. 방전 시간 상수 $\tau = R_{GK} \cdot C_{GK} \approx 10 - 20\mu s$ (및 $R_{GK} \approx 220 - 2200\Omega$)를 달성하기 위해 C_{GK} 의 커패시턴스는 10 - 47nF 가 권장됩니다. 상 주파수의 반주기 동안 최대 제어 각도에서 R_{GK} 의 전력 손실 P_R 은 다음과 같습니다:

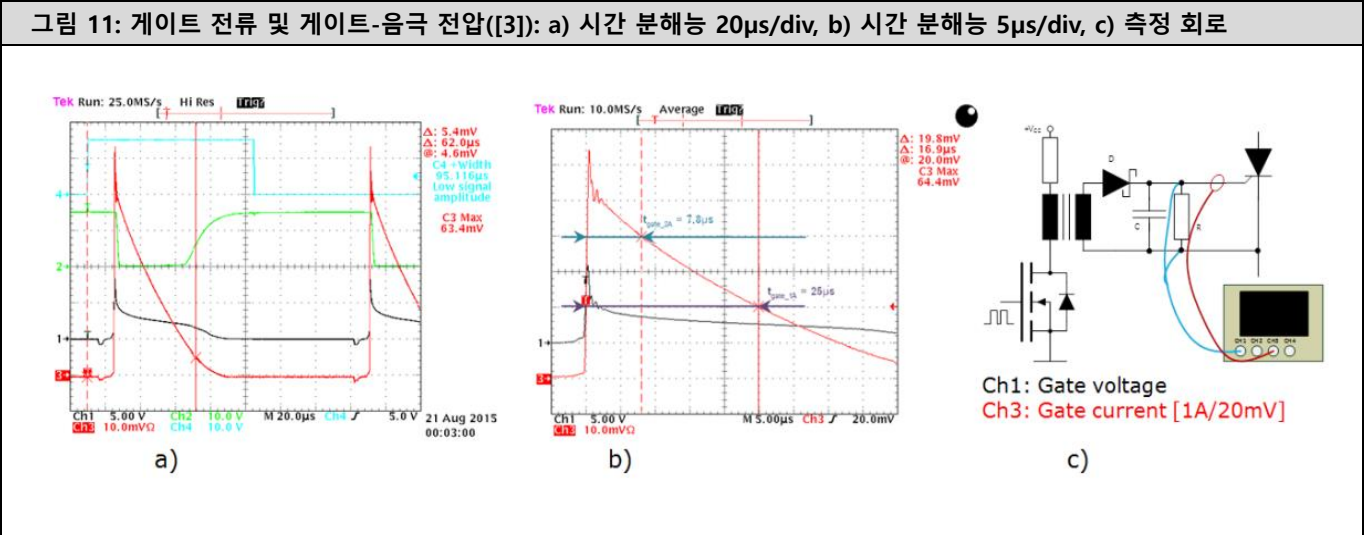
$$P_R = \frac{V_{GK}^2}{2 \cdot R_{GK}}$$

즉, $V_{GK} = 5V$, 극한값(max. $C_{GK} = 47nF$, min. $R_{GK} = 220\Omega$) 및 $T \approx 10\mu s$ 에서 P_R 은 약 60mW 입니다. $C_{GK} = 10nF$ 및 $R_{GK} = 2200\Omega$ 로 $\tau \approx 22\mu s$ 에서 P_R 은 약 6mW 에 불과합니다. C_{GK} 방전으로 인한 손실량 P_R 은:

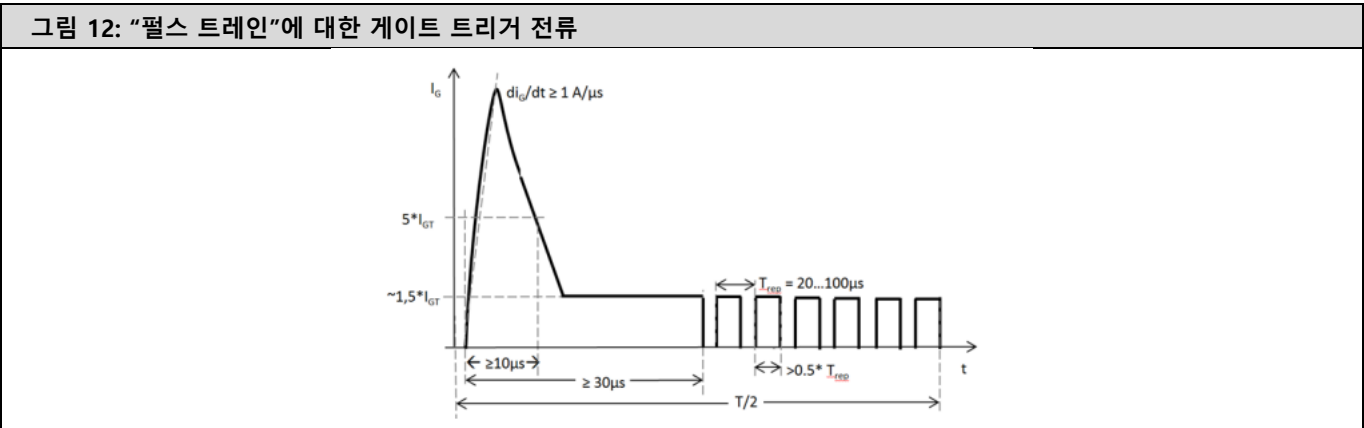
$$P_R = \frac{C_{GK}}{4} \cdot V_{GK}^2 \cdot \frac{1}{T_{rep}}$$

이 손실은 "Pulse Train"을 사용한 사이리스터 제어 시에만 적용됩니다(그림 12 참조). $V_{GK} = 5V$, $C_{GK} = 47nF$ 및 $T_{rep} = 20\mu s$ 일 때 이 부분은 약 150mW가 되고, $C_{GK} = 10nF$ 일 때는 약 31mW가 됩니다.

펄스 변압기는 순방향 컨버터 또는 플라이백 컨버터로 작동하여 어느 방향으로든 양방향으로 구동할 수 있습니다. 그림 11은 사이리스터가 연결된 상태에서 측정된 트리거 펄스 곡선이 있는 플라이백 컨버터를 보여줍니다. 트랜지스터가 켜질 때 1차 전류가 변압기에 충분한 에너지를 저장했다면 트랜지스터는 정의된 시간 동안 꺼집니다. 이렇게 저장된 에너지는 사이리스터의 게이트-캐소드 경로를 통해 트리거 전류로 2차 전류를 구동합니다. 1차 전압과 변압기의 기생 인덕턴스는 2차 전류의 지수 증가를 결정합니다.



몇 밀리 초의 펄스 길이를 사용하여 작고 경제적인 트리거 변압기를 사용하여 사이리스터를 트리거하기 위해 그림 12와 같이 "펄스 트레인" 또는 "피켓 펜스" 트리거링이 종종 사용됩니다. 이 트리거링은 10 μs 의 전류 피크, 짧은 일정 전류 위상 및 나머지 듀티 사이클에 대한 5-40kHz 구형파 펄스로 구성됩니다. 플라이백 컨버터를 사용하는 경우, 이러한 펄스는 전류 제어를 통해 쉽게 제어할 수 있습니다. 단안정(monostable) 멀티바이브레이터 또는 마이크로컨트롤러를 사용하여 트리거 펄스 시퀀스를 생성하는 것도 가능합니다.



트리거 변압기의 기능과 선택에 대한 자세한 내용은 [2]의 4.3 절에 설명되어 있습니다. 트리거 변압기의 데이터시트에는 다음과 같은 매개변수로 특성화됩니다([4], [5]):

- 1차-2차 권선의 개수 및 권선 간 전송비(1:1, 2:1, 2:1:1)
- 트리거 전류 I_{ign} : 권선 저항의 전압 강하는 여전히 무의미한 수준(예: < 1V)에서 1차 전류 피크 값
- 정격 전압 V_{nom} : 모든 절연 거리의 치수가 표시되는 2차측 RMS 전압(예: 380V, 500V, 750V, 1kV)
- 시험 전압 V_p : V_{nom} 에 따른 절연 시험 전압
- 전압-시간 적분 V_0t : 2차 권선 $V_0 = -L_\sigma \cdot di_p/dt$ 는 t_p 시간 동안 1차측에서 구형파 펄스의 전류 증가 후 감소하며, 이는

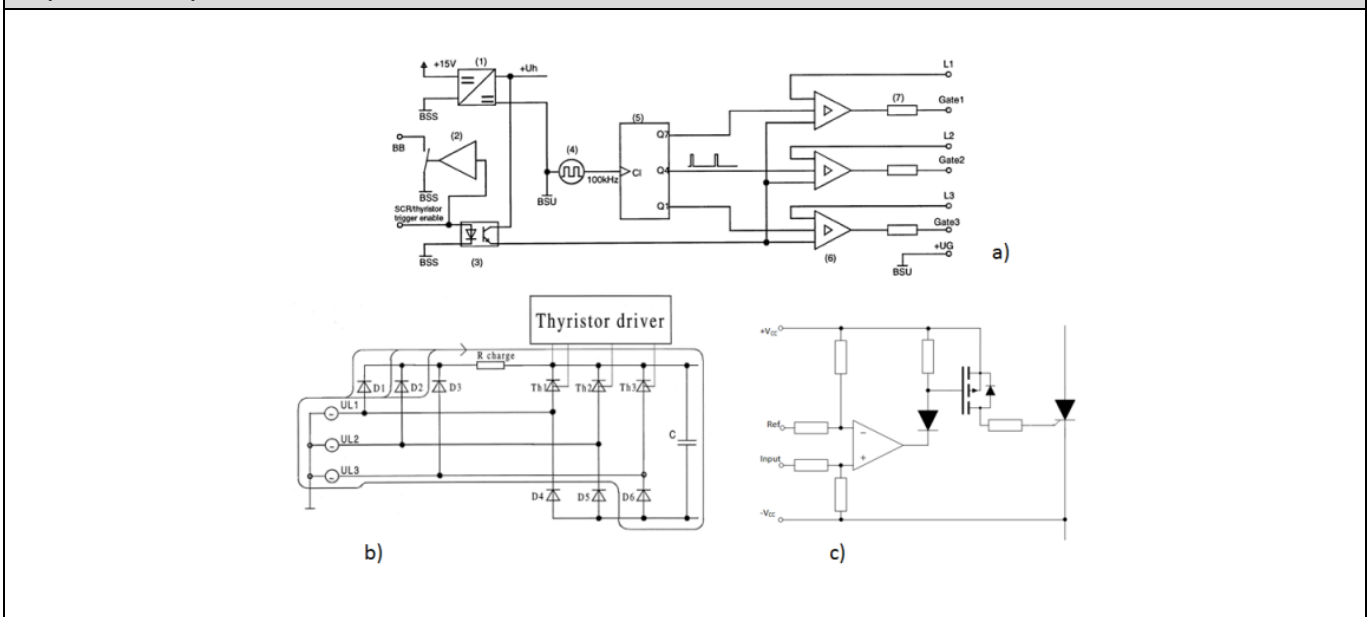
전압 V_0 에 반비례합니다. 2차측에서 펄스의 전압 진폭이 게이트 특성과 회로의 직렬 저항에 의해 결정되기 때문에 트리거 변압기의 V_0t 은 단일 트리거 펄스의 폭을 정의합니다. (포화 상태가 될 때까지 부하가 없는 상태에서 2차 권선의 최소값). 일반적인 값은 $180V\mu s \sim 5kV\mu s$ 입니다.

- 상승시간 t_r : 최대값 I_M 의 10...90%에 대한 정의된 부하 저항 R_L 에서 2차 전류의 상승 시간 (제조사에 따라 다름)
상승시간 t_r 은 기생 인덕턴스 $L_{sp} + L_{ss}$ 및 부하 저항 R (게이트 회로의 모든 저항의 합)의 시간 상수에 비례합니다.
- 1차 인덕턴스 L_p : 1kHz 및 2차 개방에서 측정(코어 물질의 회전수 및 투과성에 따라 다름)
- 기생 인덕턴스 $L_s = L_{sp} + L_{ss}$: 10kHz의 2차 권선 및 단락된 1차 권선에서 측정(회전수와 변압기의 설계에 따라 다름)
- 권선저항 R_p (1차 권선) 및 R_s (2차 권선)
- 1차 및 2차 권선 사이의 커플링 커패시턴스 C_{ps} : 밀러 효과로 인해 사이리스터 전위(2차측)의 전압 점프에 의해 사이리스터의 원치 않는 트리거를 유발할 수 있음. 따라서 1차 및 2차 권선 사이의 기존 차폐 권선을 접지에 연결해야 합니다.

3.2 광커플러가 있는 트리거 회로

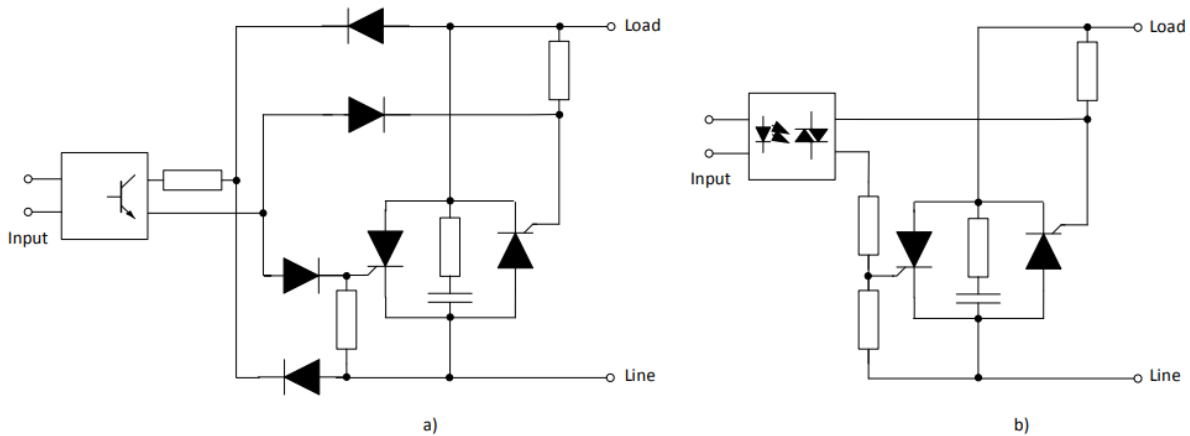
광커플러는 트리거 신호의 전위를 분리하는 데도 사용할 수 있습니다. 필요한 트리거 전력을 전송할 수 없으므로 각 경우에 별도의 음극 전위 보조 전압 공급이 필요합니다. 일반적인 예로는 음극 측에 여러 개의 사이리스터가 연결된 정류기 브리지입니다. DC 링크 초기 충전에 자주 사용되는 반제어 6-펄스 브리지(B6HK)입니다. 이러한 위상의 경우 SEMİKRON 은 DC-버스 커패시터의 초기 충전 중에 다이오드 D1-D3 을 통해 사이리스터를 차단 상태로 유지하는 사이리스터 드라이버 SKHIT 01 을 제공합니다(그림 13). 충전 프로세스 후 SKHIT 01 은 사이리스터가 순방향 바이어스일 때 영구적으로 트리거하고 사이리스터가 역방향 바이어스일 때 트리거 신호를 억제합니다.

그림 13: SKHIT 01 로 제어하는 B6HK 브리지를 통한 DC 링크 프리 차지 및 사이리스터의 트리거 회로: a) 블록 다이어그램, b) 주회로도, c) 1 개 사이리스터 트리거 유닛



SEMİKRON에서는 트리거 전력을 작동 전압에서 얻기 위한 매우 간단한 솔루션을 권장하지 않습니다. 이러한 회로의 작동 중에 정의되지 않은 과도 상태가 발생할 수 있습니다. 이러한 회로는 그림 14에 나와 있으며, 때때로 제로-크로싱 제어를 갖춘 AC 컨트롤러와 같은 간단한 응용 분야에 대해 제안됩니다. 그림 14a에서는 트리거 신호가 단극 스위치([7])에 의해 제어됩니다. 그림 14b는 양방향으로 스위칭할 수 있는 포텐셜 분리를 위해 광트라이악(opto-triac)을 사용하여 이 회로를 더 단순화한 것입니다. (예: Vishay의 IL421x)([8]).

그림 14: 권장되지 않는 양극 전압으로부터의 사이리스터 컨트롤: a) SCR SSR 회로 [7], b) 광트라이액이 있는 단순 회로



4. 오프 상태 전압 및 과전압 보호

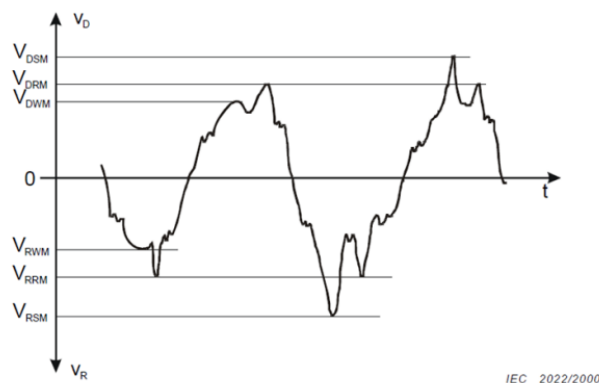
다이오드와 사이리스터 선택 시 고려해야 할 점은 데이터시트에 명시된 전압 한계값 V_{DRM} , V_{RRM} , V_{DSM} 및 V_{RSM} 은 사인 반파의 피크 값으로 정의된다는 점을 고려해야 합니다. 이러한 값들은 개방된(연결되지 않은) 게이트 터미널에 대해 지정됩니다. 정상적인 DC 부하를 사용할 경우 사용자는 최대값 $V_{D(DC)}$ (사이리스터) 또는 $V_{R(DC)}$ (사이리스터 및 다이오드)가 V_{DRM} 또는 V_{RRM} 의 50%를 넘지 않도록 하는 것을 권장합니다.

과전압의 원인에 따라 AC 측, DC 측 또는 각각 사이리스터/다이오드와 병렬인 "내부" 및 "외부" 과전압으로부터 보호하기 위해 라인 정류 컨버터의 전력 반도체에 대해 과전압 보호 조치가 필요할 수 있습니다.

4.1 반복 피크 역전압에 따른 다이오드와 사이리스터 선택

가능한 최대 전압 응력이 있어도(주 전압 허용 오차 상한 + 과전압), 그림 15 에 따른 최대 허용 역방향 전압 V_{RSM} , V_{RRM} , V_{DSM} 및 V_{DRM} 을 초과하지 않아야 합니다(IEC 60747-6 에 따른 정의 참조. [9] , [2], 3.2.4.1 및 3.2.5.1 참조).

그림 15: 파고(피크) 작동 오프 상태 전압 V_{RWM} , 반복 피크 오프 상태 전압 V_{RRM} 및 비반복 피크 오프 상태 전압 V_{RSM} 을 가진 라인 전압 특성의 예([9])



매우 낮은 온도에서 사용 시 일부 데이터시트에 지정된 차단 전압은 $25^{\circ}\text{C} \sim T_{vjmax}$ 범위의 온도에 대해 지정된 점을 고려해야 합니다. 항복 전압의 양의 온도 계수로 인해, 이 값은 T_{vj} 에 따라 약 0.11%/K 정도 감소합니다. 반대로, 의도치 않은 트리거 리스크와 마찬가지로 역전류는 온도 T_{vj} 에 따라 약 0.96($T_{vjmax}-T_{vj}$) 정도 감소합니다.

예상 과전압 및 합리적인 과전압 보호 조치는 장치의 예상 사용 수명(예: 우주 방사선의 함수로서 FIT-비율)뿐만 아니라, 반도체 선택에 필요한 전압 여유도 결정합니다.

작동 과전압을 견딜 수 있으려면 사이리스터와 다이오드를 공급 전압 V_V 로 작동하며, 이 공급 전압의 피크 값은 안전 계수 k 로 나눈 피크 역전압보다 높지 않습니다. 저전압 주 전원에 대한 산업용 애플리케이션의 경우, k 는 1.5 - 2.5의 범위에서 선택해야 합니다.

$$\sqrt{2} \cdot V_V = V_{DRM} = \frac{V_{DRM}}{k} \cdot \frac{V_{RRM}}{k}$$

예상 전압 응력이 기본적으로 알려진 경우, 가령, 정류기가 인덕턴스가 거의 없이 DC 버스에 연결된 경우에는 낮은 안전 계수가 적용됩니다. 과전압이 알려지지 않은 저전압 전력 네트워크의 컨버터인 경우, 다이오드 및 사이리스터의 사용 가능한 차단 전압 등급에 따라 2-2.5의 안전 계수를 권장합니다(표 4 참조).

| 표 4: 전원 공급 장치의 정격 전압에 따른 사이리스터 및 정류기 다이오드의 권장 차단 전압 | | | | | |
|---|-----------|---------------------------|-------------------------------|------------------------------------|--------------|
| 라인 입력 전압 V_V [V] | 정류기 연결 | 직접 출력 전압 V_{dio} [V] | 피크 전압 $\sqrt{2} * V_V$ [V] | 권장 차단 전압 V_{DRM}, V_{RRM} [V] | 안전 계수 k |
| 125 | 라인-중립 | 110 | 177 | 600 | 3.39 |
| 230 | 라인-중립 | 202 | 325 | 800 | 2.46 |
| 400 | 라인-라인 | 540 | 566 | 1400 | 2.47 |
| 480 | 라인-라인 | 648 | 679 | 1600 | 2.36 |
| 500 | 라인-라인 | 675 | 707 | 1800 | 2.54 |
| 575 | 라인-라인 | 776 | 813 | 2000 | 2.46 |
| 600 | 라인-라인 | 810 | 848 | 2000 | 2.36 |
| 660 | 라인-라인 | 891 | 933 | 2200 | 2.36 |
| 690 | 라인-라인 | 932 | 976 | 2200 | 2.25 |

라인-중립: 단상 회로

라인-라인: 3상 회로

4.2 내부 과전압 및 보호 조치

외부 과전압과 달리 내부 과전압은 다이오드나 사이리스터의 턴오프 동작으로 인해 발생합니다. 내부 과전압의 진폭과 형태는 정류 회로의 임피던스에 따라 달라집니다.

4.2.1 주전원 다이오드 및 주전원 사이리스터의 턴오프 동작

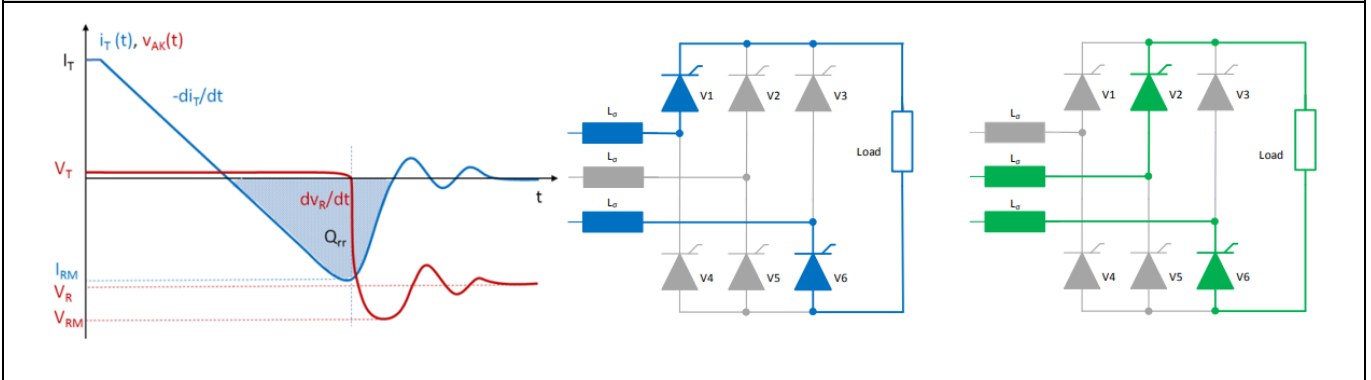
주 애플리케이션용 다이오드와 사이리스터는 과하게 도핑된 P⁺ 레이어, 과하게 도핑된 N⁺ 레이어 및 약하게 도핑된 N 레이어 즉, I(내재) 레이어 등으로 구성된 PIN 구조를 갖습니다. I-레이어의 도핑 프로파일과 폭에 따라 최대 차단 전압이 결정됩니다. 순방향 전류에서, I-레이어는 충전 캐리어에 의해 플러딩(flooding)이 발생합니다. 양극-음극 전압이 역전될 때 역방향으로 전압을 픽업하려면 이러한 충전 캐리어의 대부분이 고갈되어야 합니다. I-레이어에는 남아 있는 잔류 양전하 캐리어(구멍)으로 인해 양극 전류는 제로 크로싱에서 멈추지 않고 역회복 전류로서 단시간에 역방향으로 계속 흐릅니다("HSE: 구멍 저류 효과"). 회복 피크 후,

$$I_{RM} \sim \sqrt{(0.77 \dots 1) \cdot I^{-diT} / dtI \cdot Q_{rr}}$$

급격히 감소하여 전압 피크를 유발하고 차단 전압에 부하 회로의 인덕턴스 L_σ 에서 $V_{L\sigma} = -\sum L_\sigma \cdot di_T / dt$ 더해집니다.(그림 16).

그리드에서 또는 부하에 의해 유발되는 "외부" 과전압과 더불어 이 같은 "내부" 과전압은 다이오드나 사이리스터가 턴오프 될 때마다 발생합니다.

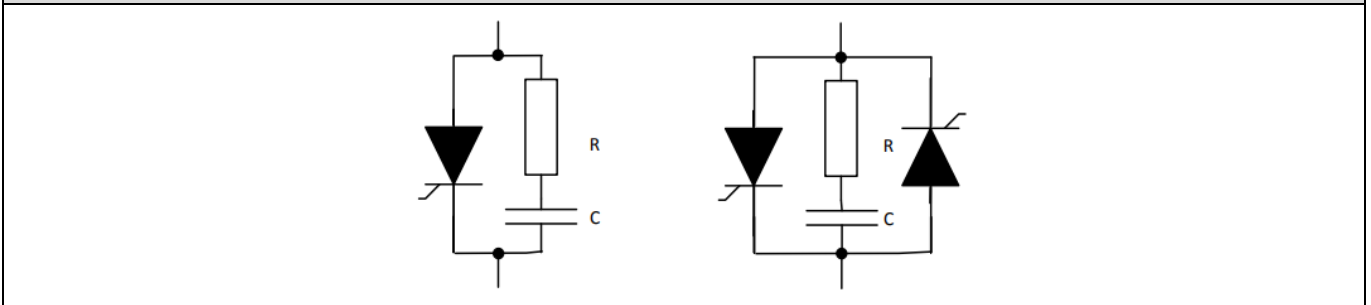
그림 16: 전도에서 차단 상태로의 V1 과도 시 전류 및 전압 곡선(V1/V6 에서 V2/V6 로의 정류)



4.2.2 스너버 회로

사이리스터를 내부 과전압으로부터 보호하고 dv/dt 를 제한하는 가장 일반적인 방법은 개별 사이리스터와 병렬인 RC 네트워크로 구성된 "HSE" 스너버 회로를 이용하는 것입니다(그림 17).

그림 17: 스너버 회로: a) 단일 사이리스터의, b) AC 컨트롤러의



스너버 회로는 부하 회로에 있는 인덕터를 확장하여 직렬 공명 회로를 만들어 전압 스파이크를 낮은 진폭의 감쇠형 진동으로 바꿉니다. 따라서 과전압의 에너지는 단기간에 고전력이 아니라 장기간에 걸쳐 저전력으로 감쇠하게 됩니다.

제어되지 않은(다이오드) 브리지 정류기의 경우, 대부분의 경우 DC 측만 RC-소자에 연결하거나 혹은 전류 정격이 충분한 다이오드의 경우 커패시터를 하나만 연결해도 충분합니다. 이 회로가 효과적이기 때문입니다.

4.2.3 SEMİKRON 사이리스터에 대한 스너버 회로 치수표시

스너버 회로의 정격은(특히) 턴오프 전 전류 i_{TM} (i_{FM}), 순방향 전류의 $-di_T/dt$ ($-di_F/dt$), 역전류 피크 I_{RM} , 장치의 V_{RRM} 과 관련한 피크 역전압 V_{RM} 및 사이리스터의 경우 관찰해야 할 문턱 전압 상승 시간 $(dv/dt)_{cr}$ 에 따라 달라집니다.

표 5 에는 아래와 같은 "공통" 작동 조건에 대한 SEMİKRON 사이리스터 및 사이리스터 모듈의 설계 권장 사항이 포함되어 있습니다.

- 단자 전압 ≥ 2.2 의 피크값에 대한 V_{RRM} 의 안전계수
- 컨버터 변압기의 단락 전압 $u_k \geq 5\%$ 또는 주전원 초크(그 결과 각 위상에서 초크의 인덕턴스 L이 공급 전압 V_V 의 최소 5%에 해당하는 단락 전압이 발생함)

$$L \geq 0.05 \cdot \frac{V_V}{2 \cdot \sqrt{3} \cdot \Pi \cdot f \cdot I_V}$$

V_V : RMS 공급전압(라인-라인)

I_V : RMS 위상 전류

f: 그리드 주파수

표 5: SEMİKRON 사이리스터에 대한 권장 스너버 회로

| 라인 입력 전압 V_V [V] | 스너버 데이터 | 평균 순방향 전류 I_{FAV} , I_{TAV} [A] | | | | |
|--------------------|----------------|-------------------------------------|------------|------------|------------|----------|
| | | ≤ 25 | ≤ 100 | ≤ 250 | ≤ 500 | > 500 |
| ≤ 250 | C [μ F] | 0.22 | 0.22 | 0.22 | 0.47 | 에플리케이션 필 |
| | R [Ω] | 68 | 33 | 33 | 33 | |
| | P_{Rmin} [W] | 6 | 10 | 10 | 25 | |
| ≤ 400 | C [μ F] | 0.22 | 0.22 | 0.22 | 0.47 | |
| | R [Ω] | 68 | 47 | 47 | 33 | |
| | P_{Rmin} [W] | 6 | 10 | 10 | 25 | |
| ≤ 500 | C [μ F] | 0.1 | 0.1 | 0.1 | 0.22 | |
| | R [Ω] | 100 | 68 | 68 | 47 | |
| | P_{Rmin} [W] | 10 | 10 | 10 | 25 | |
| ≤ 690 | C [μ F] | | 0.1 | 0.1 | 0.22 | |
| | R [Ω] | | 100 | 100 | 68 | |
| | P_{Rmin} [W] | | 10 | 10 | 50 | |

P_{Rmin} [W] 권장 스너버 저항기 전원 등급

매우 낮은 전압 안전 계수나 위의 조건과 다른 편차가 있는 경우 스너버 회로의 정격을 조정해야 할 수 있습니다. 스너버 회로의 정격을 조정할 때는 시뮬레이션 기반 설계를 사용하는 것이 좋습니다. 시뮬레이션 기반 설계는 다양한 조건에서 스너버 회로의 성능을 예측할 수 있도록 해주기 때문에 스너버 회로의 과설계를 방지하고 비용을 절감할 수 있습니다.

보다 대략적인 추정을 위한 쉬운 방법은 [2] 4.4.2.1 절에 설명되어 있습니다.

역회복 전하 Q_{rr} 의 약 절반이 과전압으로 회로에 전달된다고 가정하면, 커패시턴스 C 와 댐핑 저항 R 의 대략적인 값은 다음과 같이 계산할 수 있습니다.

$$C = \frac{Q_{rr}}{\sqrt{2} \cdot V_V}$$

$$R = \sqrt{\frac{L_S}{C}}$$

C [μ F]: 스너버 커패시턴스

V_V [V]: RMS 공급 전압(라인-라인)

L_S [μ H]: 총 부하 회로 인덕턴스

R [Ω]: 스너버 저항

Q_{rr} [μ C]: 역회복 충전

f [Hz]: 라인 주파수

2.4 에서 언급한 대로, SEMİKRON 사이리스터의 경우 트리거 시 R 을 통해 C 를 방전할 때 전류 진폭이 50A 를 초과하지 않아야 합니다. 따라서 과전압 감쇠를 줄이려면 R 을 늘려야 합니다.

감쇠 저항 R 의 전력 손실 PR [W]은 다음 식으로 결정할 수 있습니다.

$$P_R \sqrt{2} \cdot V_V \cdot 10^{-6} \cdot Q_{rr} \cdot f + k_1 \cdot C \cdot V_V^2 \cdot f$$

$k_1 = 0$ 비제어 브리지 정류기 다이오드의 경우

$k_1 = 2 \cdot 10^{-6}$ 제어된 1펄스 및 2펄스 센터탭 회로의 사이리스터와 하프 제어 2펄스 브리지 회로의 사이리스터 및 다이오드의 경우

$k_1 = 3 \cdot 10^{-6}$ 제어된 3펄스 및 6펄스 센터탭 회로와 완전 제어 2펄스 브리지 회로 및 AC-컨트롤러의 사이리스터의 경우

$k_1 = 4 \cdot 10^{-6}$ 완전 혹은 하프 제어 6펄스 브리지 회로의 사이리스터 및 다이오드의 경우

수정된 회로 및 회로 조합에 대한 추가적인 계산 및 제안사항에 대해서는 [2]의 4.4.2.1 부터 4.4.2.3 절에 설명되어 있습니다. AC-컨트롤러(W1C, W3C, W3C2)는 위상별로 2 개의 역병렬 사이리스터로 구성되어 있으므로, 둘 다 내부 및 외부 과전압을 제한하는 공용 RC-회로를 사용합니다(그림 17b). 유도성 부하에서 대규모 정류 dv/dt 가 발생하여 위상각 $\alpha > 0^\circ$ el 에서 트리거가 발생할 수 있습니다. 스너버는 여전히 턴오프 상태인 사이리스터에 대해 $(dv/dt)_{cr}$ 아래로 이를 제한해야 합니다. [2] 의 4.4.2.2 절에는 다음 방정식을 사용하여 스너버 회로의 C [μ F] 및 R [Ω]을 추정하는 대략적인 방법이 포함되어 있습니다.

$$C \sim 700 \cdot \frac{I_V}{V_V^2}$$

$$R \sim \frac{9000}{C \cdot V_V}$$

V_V [V]: RMS 공급전압(라인-중립)

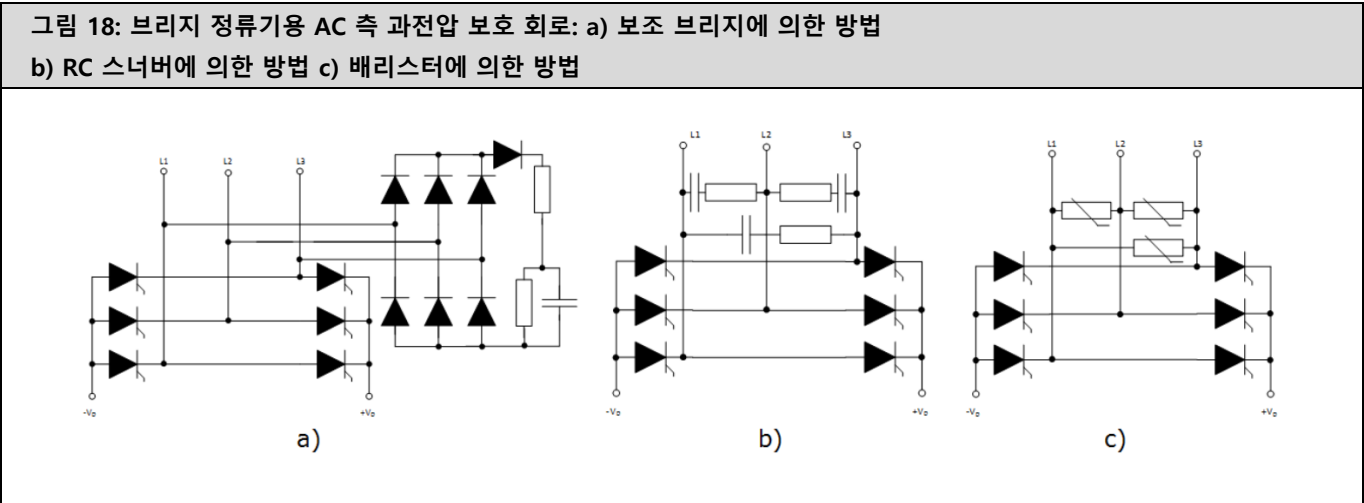
저항기 R의 전력 손실 P_R [W]은 대략 다음과 같습니다.

$$P_R \sim 3 \cdot 10^{-6} \cdot C \cdot V_V^2 \cdot f$$

4.3 외부 과전압 및 보호 조치

외부 과전압은 가령 그리드(전력망)의 스위칭 동작, 차단기의 트리거 또는 낙뢰 등에 의해 발생합니다. 보호 조치는 AC 측과 DC 측 모두에서 가능합니다.

낮은 전류 범위에서는 위에 설명된 스너버 회로의 정격을 종종 외부 과전압으로부터 충분히 보호할 수 있는 등급으로 할 수 있습니다. 그러나 높은 전력 레벨에서는 AC 측의 추가 스너버가 필요하며, 그림 18은 세가지 가능한 조합 옵션을 보여줍니다.



AC 측 스너버 회로의 기능 및 계산, 다른 스너버 옵션 및 과전압 제한을 위한 애벌런츠(avalanche) 다이오드 및 배리스터(varistors) 사용에 대한 세부 정보는 [2], 4.4.2 ~ 4.4.4절에 설명되어 있습니다.

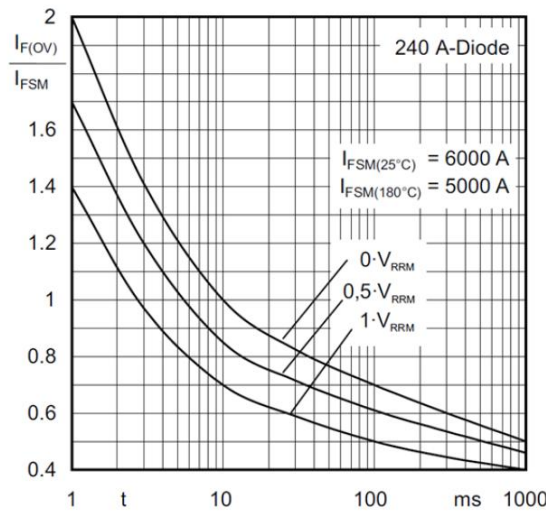
5. 다이오드 및 사이리스터의 과전류 보호

다이오드와 사이리스터는 과전류를 능동적으로 제한하거나 차단할 수 없습니다. 과도한 부하 전류와 연관되어 칩의 온도가 급격히 상승되면 제어 가능성과 차단 능력의 일시적인 손실을 일으킬 수 있습니다. 따라서 특정 지정된 과부하는 몇 초 간격으로만 허용되며 제한된 기간 동안만 간헐적으로 허용됩니다.

허용 오버로드의 경우 그리드 임피던스 및 주 전원 전압에 의해 결정되는 서지 전류를 견딜 수 있어야 합니다. 이러한 이유로 데이터 시트에는 다양한 차단 전압(그림 19)에서 서지 전류 한계 값 I_{FSM} 과 관련하여 고장(단락 회로) 발생 시 허용되는 과전류 $I_{T(OV)}$ 또는 $I_{F(OV)}$ 을 표시한 다이어그램이 제공됩니다. 높은 전류로 인해 퓨즈 또는 기타 보호 장치가 작동하는 경우 $V_{RRM} = 0$ 에 대한 곡선이 적용됩니다. 외부 조치로 전류가 제한되는 경우 전류는 다른 두 곡선과 유사하게 감소합니다.

10ms 이상의 전류 값은 20ms 간격으로 반복되는 10ms의 펄스 시간을 갖는 사인파 전류 펄스에 대해 유효합니다.

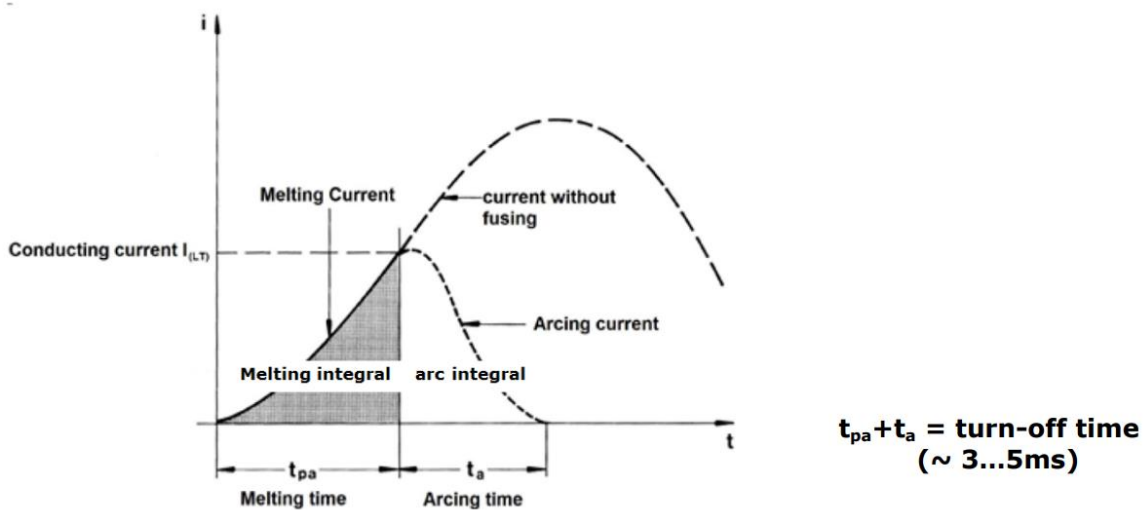
그림 19: 시간 t의 함수로서 다양한 오프 상태 전압의 서지 순방향 전류 I_{FSM} 와 관련하여 고장 발생 시 허용 과전류 $I_{F(OV)}$ (또는 사이리스터의 경우 $I_{T(OV)}$)



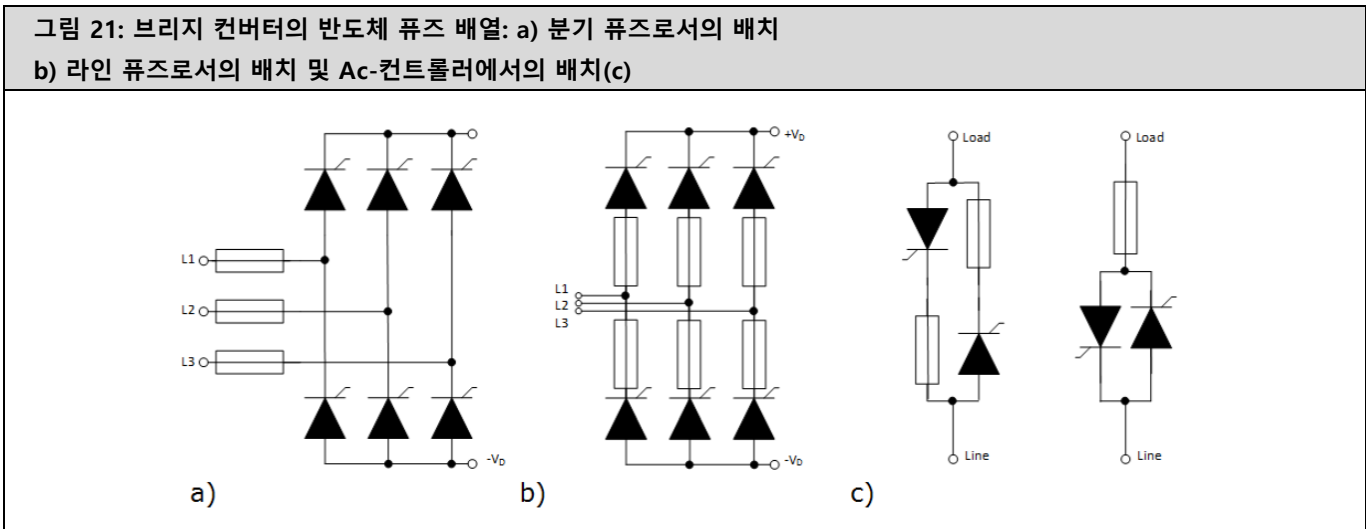
과전류 보호 장치의 선택은 예상 과전류 부하에 따라 달라집니다. 장기간 보호를 통해 고전류 또는 냉각 문제로 인한 열 과부하를 방지해야 합니다. 전류 또는 온도 센서가 한계 값이 초과되었음을 표시하는 경우, (사이리스터의 경우) 위상각을 늘리거나 트리거 펄스가 차단됩니다. 회로 차단기 또는 과전류 장치에 의해 순방향 전류가 차단될 수 있습니다. 사이리스터 또는 다이오드의 차단 기능이 완전하게 유지되도록 보호 장치의 작동 특성이 단기 작동 시 과전류 한계 값보다 낮아야 합니다.

단기 보호는 단락으로 인한 과전류를 시간 영역에서 사이리스터 또는 다이오드에 대해 최대 1개의 반사인 파형까지 안전한 값으로 제한합니다. 이러한 작업은 그림 20에서 보여주는 특징을 갖고 있는 몇 밀리 초 안에 응용하는 급속 반도체 퓨즈를 사용하여 수행할 수 있습니다.

그림 20: 반도체 퓨즈가 있는 단락의 스위치 오프 시 전류 프로파일



전원 컨버터의 반도체 퓨즈의 일반적인 배치는 그림 21 과 같습니다.



비용 및 공간 요구 사항과 필요한 예비 부품 재고를 고려하여 현재 퓨즈는 상위 전력 범위에서만 사용됩니다. 또다른 대안은 과열 자기 트립 기능이 있는 차단기입니다.

극단적인 경우 퓨즈 또는 차단기가 트립하면 반도체 데이터시트에 명시된 부하 적분 i^2dt 를 활용할 수 있습니다. 응답 시간은 과전류 수준에 따라 달라지므로 단락된 분기에서 임피던스가 높은 경우 항상 충분한 보호가 가능하지 않을 수 있습니다.

가능한 선택의 범위와 관련하여 과전류 발생 시 사이리스터 또는 다이오드를 "보호"해야 할지 또는 결함의 중대성만 제한해야 할지를 결정해야 합니다. 반도체 퓨즈 선택에 대한 자세한 권장 사항은 [2]의 4.4.6.2 절에 나와 있습니다.

기호 및 용어

| 문자 기호 | 용어 |
|----------------------------------|-------------------------------|
| α | 위상각(사이리스터 트리거링) |
| C | 커패시터, 커패시턴스 |
| C_{ps} | 커플링 커패시턴스(펄스 변압기) |
| C_{GK} | 게이트와 음극 간 커패시턴스 |
| $di/dt, (di/dt)_{cr}$ | 전류 상승률, 온 상태 전류의 임계 상승률 |
| di_G/dt | 게이트 전류 상승률 |
| $di_T/dt, di_F/dt$ | 다이오드/사이리스터 주 전류 상승률 |
| $dv/dt, (dv/dt)_{cr}$ | 전압 상승률, 오프 상태 전압 임계 상승률 |
| f | 주파수 |
| I_D, I_T | 부하 전류 |
| I_{FAV}, I_{TAV} | 평균 순방향 전류 |
| $I_{FM}, I_{TM}, i_{FM}, i_{TM}$ | 피크 순방향 전류 |
| I_G | 게이트 전류 |
| I_{GD}, I_{GT} | 게이트 비트리거 전류, 게이트 트리거 전류 |
| I_H | 유지 전류 |
| I_{ign} | 권장 트리거 전류(펄스 변압기) |
| I_L | 래칭 전류 |
| i_R, I_{RM} | 역방향 전류, 피크 역방향 전류 |
| $I_{F(OV)}, I_{T(OV)}$ | 과부하 온 상태 전류 |
| I_{FSM}, I_{TSM} | 서지 온 상태 전류 |
| I_V | RMS 위상 전류 |
| k | 안전 계수 |
| k1 | 계수 |
| L_p | 1차 인덕턴스(펄스 변압기) |
| L_R | 직렬 인덕턴스 |
| L_s | 총 부하 회로 인덕턴스, 2차 인덕턴스(펄스 변압기) |
| $L_{sp} (L_{ss})$ | 1차(2차) 권선 스트레이 인덕턴스(펄스 변압기) |
| L_σ | 스트레이 인덕턴스 |
| PGM, $\hat{p}_G(t_p)$ | 최대 허용 게이트 전력 손실 |
| P_R | 저항기 R의 전력 손실 |
| Q_{rr} | 역 복구 전하 |
| R | 저항기, 저항 |

| | |
|--------------------------|--|
| R_G, R_{GK} | 게이트 회로의 저항, 게이트와 음극 간 저항 |
| $R_p (R_s)$ | 권선 저항 1차 (2차) 권선 |
| t_a | 아크 시간(퓨즈) |
| T | 기간 지속 시간 |
| t_{gd}, t_{gr}, t_{gt} | 게이트 제어 지연 시간, 게이트 제어 상승 시간, 게이트 트리거 시간 |
| t_p | 트리거 펄스 지속 시간 |
| t_{pa} | 용융 시간(퓨즈) |
| t_r | 2차 전류의 상승 시간(펄스 변압기) |
| T_{rep} | 반복 시간(펄스 트레인) |
| T_{vj}, T_{vjmax} | 정선 온도, 최고 허용 정선 온도 |
| V_{CC} | 구동 전압 |
| V_D | 부하 전압, 순방향 전압 |
| V_{di0} | 직접 출력 전압(정류기) |
| V_{DRM}, V_{RRM} | 반복 피크 오프 상태 전압 |
| V_{DWM}, V_{RWM} | 파고(피크) 작동 오프 상태 전압 |
| V_G | 트리거 전압 |
| V_{GT} | 게이트 트리거 전압 |
| V_{GD} | 게이트 비트리거 전압 |
| V_{GK} | 게이트- 음극 전압 |
| V_{nom} | 정격 전압(펄스 변압기) |
| V_p | 시험 전압(펄스 변압기) |
| V_R | 역방향 전압 |
| V_V | RMS 공급전압(라인-라인 또는 라인-중립) |
| V_0 | 2차 전압(펄스 변압기) |
| V_{0t} | 전압 - 시간 적분(펄스 변압기) |
| $V_{Lσ}$ | 스트레이 인덕턴스에 의한 유도 전압 |
| V_{RM} | 피크 역방향 전압 |
| V_{RSM} | 비반복 피크 오프 상태 전압 |

용어 및 기호에 대한 자세한 설명은 "애플리케이션 매뉴얼 전력 반도체"[2] 참고.

참고자료

- [1] www.SEMİKRON.com
- [2] A. Wintrich, U. Nicolai, W. Tursky, T. Reimann, "Application Manual Power Semiconductors", 2nd edition, ISLE Verlag 2015, ISBN 978-3-938843-83-3
- [3] TGD1 Preliminary Data Sheet Single-Channel, High Power Thyristor Gate Driver, www.ib-billmann.de
- [4] Pulse Transformers IT series with single secondary winding, data sheet 2016 Schaffner Group, www.schaffner.com
- [5] Pulse Transformers IT series with single secondary winding, data sheet 2016 Schaffner Group, www.schaffner.com
- [6] Thyristor driver for three phase half controlled bridge SKHIT 01 (R), data sheet, www.semikron.com
- [7] Thyristor Theory and Design Considerations, Handbook, ON Semiconductors, HBD855/D, Rev. 1, Nov-2006
- [8] Nov-2006
- [9] IL4216/IL4217/IL4218 Optocoupler, Phototriac Output, High dV/dt, Very Low Input Current, data sheet 83630, Rev. 1.4., 09-Jan-08, Vishay Semiconductors
- [10] IEC 60747-6 Semiconductor devices. Part 6: Thyristors, Second Edition 2000-12
- [11] Vikas M, B. K. Singh: RC Snubber Circuit Design for Thyristor using Turn-Off Model in Pspice, International Journal of Science and Research (IJSR), India Online ISSN: AN 2319-7064

중요 정보 및 주의 사항

이 문서의 정보는 제품 특성에 대한 보증 또는 보장으로 간주되지 않을 수 있습니다("품질 보증"). 이 문서는 특정 애플리케이션에 따라 달라질 수 있는 일반적인 애플리케이션에서 예상되는 제품의 통상적인 특성만을 설명합니다. 따라서 사전에 각 애플리케이션에 대해 제품을 테스트해야 합니다. 애플리케이션 조정이 필요할 수 있습니다. SEMİKRON DANFOSS 제품의 사용자는 SEMİKRON DANFOSS 제품을 포함하는 애플리케이션의 안전에 대한 책임을 지며 특정 SEMİKRON DANFOSS 제품의 결함으로 인해 애플리케이션이 신체적 상해, 화재 또는 기타 문제를 초래하지 않도록 적절한 안전 조치를 취해야 합니다. 사용자는 애플리케이션 설계가 모든 관련 법률, 규정, 규범 및 표준을 준수하는지 확인할 책임이 있습니다. SEMİKRON DANFOSS의 공인 대리인이 서명한 서면 문서를 통해 SEMİKRON DANFOSS가 달리 명시적으로 승인한 경우를 제외하고, SEMİKRON DANFOSS 제품은 당해 제품의 고장 또는 그 제품 사용의 결과로 인해 인명 피해가 초래될 수 있음을 합리적으로 예상할 수 있는 애플리케이션에 사용할 수 없습니다. 제3자의 지적 재산권 미침해에 대한 보증을 포함하되 이에 국한되지 않는 이 문서에 제공된 정보의 정확성, 완전성 및/또는 그 이용과 관련하여 어떠한 확약이나 보증도 제공되지 않으며 어떠한 책임도 지지 않습니다. SEMİKRON DANFOSS는 애플리케이션 또는 제품의 사용으로 인해 발생하는 어떠한 책임도 지지 않으며 특허권, 저작권, 영업 비밀 또는 기타 지적 재산권이나 타인의 권리에 따른 라이선스를 양도하지 않습니다. SEMİKRON DANFOSS는 애플리케이션으로 인해 발생할 수 있는 제3자의 지적 재산권 미침해 또는 주장된 미침해에 대해 어떠한 확약이나 보증도 하지 않습니다. 이 문서는 이전에 제공된 모든 정보를 대체 및 대신하며 업데이트로 대체될 수 있습니다. SEMİKRON DANFOSS는 변경할 권리가 있습니다.

SEMİKRON-DANFOSS KOR

경기도 광명시 새빛공원로 67 광명역자이타워 A 동 1207~1212 호

• Tel: +82-2-6370-4799 • Fax: +49 911-65 59-262

sales.skcor@semikron-danfoss.com